

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : **10-125891**  
(43)Date of publication of application : **15.05.1998**

---

(51)Int.CI. **H01L 27/146**  
**H04N 5/335**

---

(21)Application number : **08-282343** (71)Applicant : **CANON INC**  
(22)Date of filing : **24.10.1996** (72)Inventor : **KOBAYASHI ISAO**

---

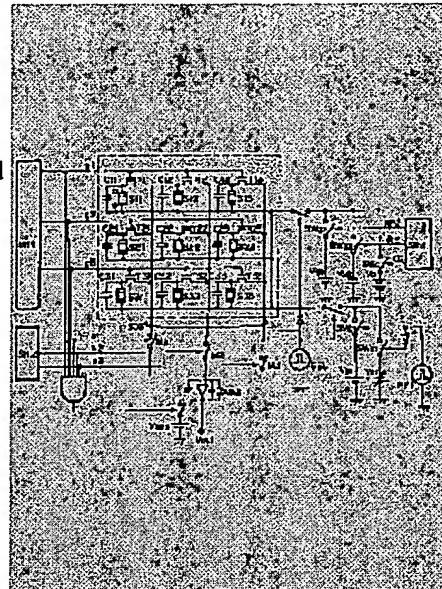
**(54) PHOTOELECTRIC CONVERTER, ITS DRIVING METHOD, AND SYSTEM HAVING THE SAME**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain the voltage value corresponding to the flat-band voltages of photoelectric conversion elements by detecting first type carriers stored in a semiconductor layer or second type carriers introduced to a second electrode layer by changing the electric field impressed upon each layer of the photoelectric conversion elements in a photoelectric conversion mode.

**SOLUTION:** A reading-out power source  $V_{s2}$ , a refreshing power source  $V_{g2}$ , and a flat-band voltage shift suppressing power source  $V_c$  are respectively connected to the G electrodes of all photoelectric conversion elements S11-S33 through switches SWs2, SWg2, and SWc. In such a state, first type carriers stored in a semiconductor layer or second type carriers introduced to a second electrode layer form the semiconductor layer are detected by setting the potentials at the power sources impressed upon the G electrodes of sensors at  $V_c > V_g > 0 > V_s$  and changing the electric field impressed upon each layer of the conversion elements S11-S33.

Therefore, the SN can be improved by obtaining the voltage values corresponding to the flat-band voltages of the conversion elements S11-S33.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-125891

(43)公開日 平成10年(1998)5月15日

(51)Int.Cl.<sup>8</sup>

H 01 L 27/146  
H 04 N 5/335

識別記号

F I

H 01 L 27/14  
H 04 N 5/335

C  
P

審査請求 未請求 請求項の数9 OL (全24頁)

(21)出願番号

特願平8-282343

(22)出願日

平成8年(1996)10月24日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 小林 功

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

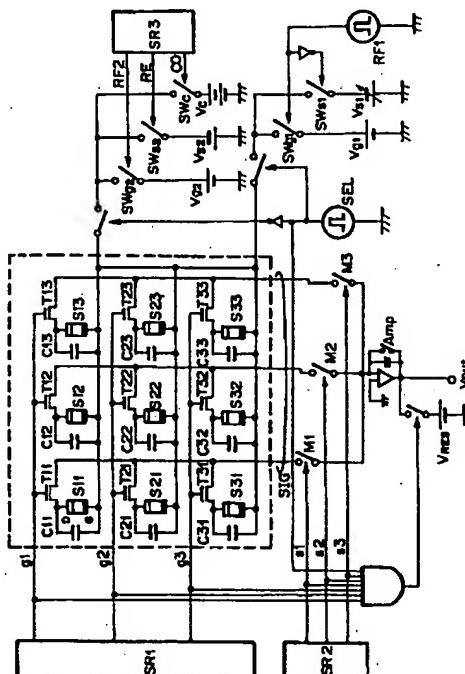
(74)代理人 弁理士 山下 積平

(54)【発明の名称】光電変換装置及びその駆動方法及びそれを有するシステム

(57)【要約】

【課題】光電変換素子のフラットバンド電圧の移動を抑制することにより、大きなダイナミックレンジ、高S/N比、安定した特性を得る。

【解決手段】絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二のキャリア両方のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置について、前記光電変換素子のフラットバンド電圧測定手段V<sub>s1</sub>、S<sub>W<sub>s1</sub></sub>と、フラットバンド電圧シフト抑制手段V<sub>c</sub>、S<sub>W<sub>c</sub></sub>を含む出力読み出し手段と、前記フラットバンド電圧測定手段と出力読み出し手段とを切り替えるスイッチ手段と、を有することを特徴とする光電変換装置。



## 【特許請求の範囲】

【請求項1】 絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二の型のキャリア両方のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置に於いて、

前記光電変換素子のフラットバンド電圧測定手段と、該測定結果を用いたフラットバンド電圧シフト抑制手段を含む出力読み出し手段と、

前記フラットバンド電圧測定手段と前記出力読み出し手段とを切り替えるスイッチ手段と、を有し、

前記フラットバンド電圧測定手段は、前記光電変換素子の各層に印加する電界を変化させ、その時の該光電変換素子の半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得る手段を有し、

前記出力読み出し手段は、

(a) 入射光量に応じて電荷を発生し蓄積する光電変換モード；

(b) 光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモード；

(c) 光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制モード；の各モードを順に切り替えて駆動するため、前記光電変換素子の各層に印加する電位を切り替えるスイッチ手段を有することを特徴とする光電変換装置。

【請求項2】 前記フラットバンド電圧測定モード時に、スイッチ手段により切り替えて上記光電変換素子に印加される、

フラットバンド電圧測定用可変電圧電源と、リフレッシュ用電圧電源と、

前記出力読み出しモード時に、スイッチ手段により切り替えて上記光電変換素子に印加される、

フラットバンド電圧シフト抑制用電圧電源と、

リフレッシュ用電圧電源と、読み出し用電圧電源と、

上記フラットバンド電圧測定モードと上記出力読み出しモードとを切り替えるスイッチ手段と、

を有することを特徴とする請求項1記載の光電変換装置。

【請求項3】 上記フラットバンド電圧測定用可変電圧電源の電圧を変化させることにより、上記光電変換素子の容量値を変化させ、該光電変換素子に蓄積された電荷の変化を検出することにより、フラットバンド電圧を測定することを特徴とする請求項2記載の光電変換装置。

【請求項4】 前記光電変換素子のフラットバンド電圧の移動を抑制するために、光電変換動作をしているとき

と逆方向の電界を前記光電変換素子に印加することを特徴とする請求項1又は2記載の光電変換装置。

【請求項5】 前記光電変換素子を一次元または二次元的に複数個配置し、前記光電変換素子毎に前記スイッチ素子を接続すると共に、全光電変換素子を複数のnブロックに分割し、各ブロック毎に前記スイッチ素子を動作させることにより前記複数のnブロックに分割したn×m個の全光電変換素子の光信号をマトリクス信号配線により出力し、前記マトリクス信号配線の交差部が、少なくとも第一電極層、絶縁層、半導体層、第二の電極層の順の積層構造で構成され、この積層構造の各層が前記光電変換素子の第一の電極層、絶縁層、光電変換半導体層、第二の電極層の各層と同一層から形成されており、且つ同じ膜厚であることを特徴とする請求項1～4のいずれか1項記載の光電変換装置。

【請求項6】 請求項1～5のいずれか1項記載の光電変換装置上に設けられた蛍光体と、前記光電変換装置に入力される光情報を発生させるためのX線源と、

前記光電変換装置からの信号を処理する信号処理手段と、

前記信号処理手段からの信号を記録する為の記録手段と、

前記信号処理手段からの信号を表示する為の表示手段と、

前記信号処理手段からの信号を電送する為の電送手段と、を有することを特徴とするシステム。

【請求項7】 絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二の型のキャリア両方のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置に於いて、

前記光電変換素子の各層に印加する電界を変化させ、その時の該光電変換素子の半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得るフラット

バンド電圧測定モードと、上記光電変換素子に印加する電圧をスイッチ手段により切り替えることにより駆動される、

(a) 入射光量に応じて電荷を発生し蓄積する光電変換モード；

(b) 光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモード；

(c) 光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制モード；の各モードを含む出力読み出しモードと、を有し、

上記フラットバンド電圧測定モードと上記出力読み出し

モードとをスイッチ手段により切り替えて駆動することを特徴とする光電変換装置の駆動方法。

【請求項8】 絶縁基板上に、第一の電極層、第一の型のキャリアおよび前記第一の型のキャリアとは、正負の異なる第二の型のキャリア両方のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有し、

リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加するための電源部と、前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは、前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、を有する光電変換装置に於いて、  
前記光電変換モードでの光電変換素子の各層に印加する電界を変化させ、前記半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を測定するフラットバンド電圧測定モードと、  
前記測定結果を用いて、前記光電変換素子のフラットバンド電圧の移動を抑えるために、光電変換動作をしているときと逆方向の電界を前記光電変換素子に印加するフラットバンド電圧シフト抑制モードと、を有することを特徴とする光電変換装置の駆動方法。

【請求項9】 前記光電変換素子を一次元または二次元的に複数個配置し、前記光電変換素子毎にスイッチ素子を接続すると共に、全光電変換素子を複数のnブロックに分割し、各ブロック毎に前記スイッチ素子を動作させることにより前記複数のnブロックに分割したn×m個の全光電変換素子の光信号をマトリクス信号配線により出し、前記マトリクス信号配線の交差部が、少なくとも第一電極層、絶縁層、半導体層、第二の電極層の順の積層構造で構成され、この積層構造の各層が前記光電変換素子の第一の電極層、絶縁層、光電変換半導体層、第二の電極層の各層と同一層から形成されており、且つ同じ膜厚である光電変換装置において、

nブロック毎に各光電変換素子のフラットバンド電圧に相当する電圧値を得ることを特徴とする請求項8記載の光電変換装置の駆動方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、光電変換装置、及びその駆動方法及びそれを有するシステムに係わり、たとえばファクシミリ、デジタル複写機あるいはX線撮像

装置等の等倍読み取りを行うことの可能な一次元もしくは二次元の光電変換装置、及びその駆動方法、及びそれを有するシステムに関する。

##### 【0002】

【従来の技術】 従来、ファクシミリ、デジタル複写機あるいはX線撮像装置等の読み取り系としては縮小光学系とCCD型センサを用いた読み取り系が用いられていたが、近年、水素化アモルファシリコン（以下、a-Siと記す）に代表される光電変換半導体材料の開発により、光電変換素子及び信号処理部を大面積の基板に形成し、情報源と等倍の光学系で読み取るいわゆる密着型センサの開発がさまざま。特にa-Siは光電変換材料としてだけでなく、薄膜電界効果型トランジスタ（以下TFTと記す）としても用いることができる所以光電変換半導体層とTFTの半導体層とを同時に形成することができる利点を有している。

【0003】 図22は、従来の光センサの構成を示す。図22(a)、図22(b)は二種類の光センサの層構成を示し、図22(c)は共通した代表的な駆動方法を示している。

【0004】 図22(a)、図22(b)共にフォト・ダイオード型の光センサであり、図22(a)はPIN型、図22(b)はショットキー型と称されている。

【0005】 図22において、1は絶縁基板、2は下部電極、3はp型半導体層（以下p層と記す）、4は真性半導体層（以下i層と記す）、5はn型半導体層（以下n層と記す）、および6は透明電極である。ショットキー型の図22(b)では下部電極2の材料を適当に選び、下部電極2からi層4に電子が注入されないようショットキーバリア層が形成されている。

【0006】 図22(c)において、10は上記光センサを記号化して表わした光センサを示し、11は電源、12は電流アンプ等の検出部を示している。光センサ10中Cで示された方向は図22(a)、図22(b)中の透明電極6側、Aで示された方向が下部電極2側であり、電源11はA側に対しC側に正の電圧が加わるように設定されている。

【0007】 ここで動作を簡単に説明する。矢印で示された方向から光が入射され、i層4に達すると、光は吸収され電子とホールが発生する。i層4には電源11により電界が印加されているため電子はC側、つまりn層5を通過して透明電極6に移動し、ホールはA側、つまり下部電極2に移動する。よって光センサ10に光電流が流れることになる。

【0008】 また、光が入射しない場合は、i層4で電子もホールも発生せず、また、透明電極6内のホールはn層5がホールの注入阻止層として働き、下部電極2内の電子はPIN型の図22(a)ではp層3が、ショットキー型の図22(b)ではショットキーバリア層が電子の注入阻止層として働き、電子、ホール共に移動でき

ず、電流は流れない。したがって光の入射の有無で電流が変化し、これを図22(c)の検出部12で検出すれば光センサとして動作する。

#### 【0009】

【発明が解決しようとする課題】しかしながら、上記従来の光センサでは、S/N比が高く、低コストの光電変換装置を生産するのは困難であった。以下その理由について説明する。

【0010】第一の理由は、PIN型の図22(a)、ショットキー型の図22(b)は、共に2カ所に注入阻止層が必要なところにある。PIN型の図22(a)において、注入阻止層であるn層5は電子を透明電極6に導くと同時にホールがi層4に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光が入射しない時の電流(以下暗電流と記す)が発生、増加することになりS/N比の低下の原因になる。この暗電流はそれ自身がノイズと考えられると同時にショットノイズと呼ばれるゆらぎ、いわゆる量子ノイズを含んでおり、たとえ検出部12で暗電流を差し引く処理をしても、暗電流に伴う量子ノイズを小さくすることはできない。通常この特性を向上させるため、i層4やn層5の成膜の条件や、作成後のアニールの条件の最適化を図る必要がある。

【0011】しかし、もう一つの注入阻止層であるp層3についても、電子ホールが逆ではあるが同等の特性が必要であり、同様に各条件の最適化が必要である。通常、前者n層の最適化と後者p層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは困難である。つまり、同一光センサ内に二カ所の注入阻止層が必要なことは高S/N比の光センサの形成を困難にする。これはショットキー型の図22(b)においても同様である。

【0012】また、ショットキー型の図22(b)においては、片方の注入阻止層にショットキーバリア層を用いているが、これは下部電極2とi層4の仕事関数の差を利用するもので、下部電極2の材料が限定されたり、界面の局在準位の影響が特性に大きく影響し、条件を満足させるのはさらに困難である。

【0013】また、さらにショットキーバリア層の特性を向上させるために、下部電極2とi層4の間に100オングストローム前後の薄いシリコンや金属の酸化膜、窒化膜を形成することも報告されているが、これはトンネル効果を利用し、ホールを下部電極2に導き、電子のi層4への注入を阻止する効果を向上させるもので、やはり仕事関数の差を利用して下部電極2の材料の限定は必要であるし、電子の注入の阻止とトンネル効果によるホールの移動という逆の性質を利用するために、酸化膜や窒化膜は100オングストローム前後と非常に薄いところに限定され、かつ、厚さや膜質の制御は難しく生産性を低下させられる。

【0014】また、注入阻止層が2カ所必要なことは、生産性を低下させ、コストもアップする。これは注入阻止層が特性上重要なため2カ所中1カ所でもゴミ等で欠陥が生じた場合、光センサとしての特性が得られないからである。

【0015】第二の理由を図23を用いて説明する。図23は薄膜の半導体層で形成した電界効果型トランジスタ(TFT)の構成を示している。TFTは光電変換装置を形成するうえで制御部の一部として利用することがある。図中、図22と同一なものは同番号で示してある。7はゲート絶縁膜であり、60は上部電極である。

【0016】形成法を順を追って説明する。絶縁基板1上にゲート電極として働く下部電極2、ゲート絶縁膜7、i層4、n層5、ソース、ドレイン電極として働く上部電極60を順次成膜し、上部電極60をエッティングによりソース、ドレイン電極を形成し、その後n層5をエッティングによりチャネル部を構成している。TFTの特性はゲート絶縁膜7とi層4の界面の状態に敏感で、通常その汚染を防ぐために同一真空中で連続に堆積する。

【0017】従来の光センサをこのTFT同一基板上に形成する場合、この構成が問題となりコストアップや特性の低下を招く。この理由は図22で示した従来の光センサの構成が、PIN型の図22(a)が電極/p層/i層/n層/電極、ショットキー型の図22(b)が電極/i層/n層/電極という構成であるのに対し、TFTは電極/絶縁膜/i層/n層/電極という構成で両者が異なるからである。これは同一プロセスで形成できないことを示し、プロセスの複雑化による歩留まりの低下、コストアップを招く。

【0018】また、i層/n層を共通化するにはゲート絶縁層7やp層3のエッティング工程が必要となり、先に述べた光センサの重要な層である注入阻止層のp層3とi層4が同一真空中で成膜できなかったり、TFTの重要なゲート絶縁膜7とi層4の界面がゲート絶縁膜のエッティングにより汚染され、特性の劣化やS/N比の低下の原因になる。

【0019】また、前述した図22のショットキー型の図22(b)の特性を改善するため、下部電極2とi層4の間に酸化膜や窒化膜を形成したものは、膜構成の順は同一ではあるが、先に述べたように酸化膜や窒化膜は100オングストローム前後である必要があり、ゲート絶縁膜と共に用することは困難である。

【0020】図24は、ゲート絶縁膜とTFTの歩留まりについて、我々が実験した結果を示す。ゲート絶縁膜厚が1000オングストローム以下で歩留まりは急激に低下し、800オングストロームで約30%、500オングストロームで歩留まり0%、250オングストロームではTFTの動作すら確認できなかった。トンネル効果を利用した光センサの酸化膜や窒化膜と、電子やホー

ルを絶縁しなければならないTFTのゲート絶縁膜を共用化することは明らかに困難であり、これをデータが示している。

【0021】またさらに、図示はしていないが、電荷や電流の積分値を得るのに必要となる素子である容量素子（以下コンデンサと記す）を従来の光センサと同一の構成でリークが少ない良好な特性のものを作るのは難しい。コンデンサは2つの電極間に電荷を蓄積するのが目的なため電極間の中間層には必ず電子とホールの移動を阻止する層が必要であるのに対し、従来の光センサは電極間に半導体層のみ利用しているため熱的に安定したリークの少ない良好な特性の中間層を得るのは難しいからである。

【0022】このように光電変換装置を構成するうえで重要な素子であるTFTやコンデンサとプロセス的にまたは特性的にマッチングが良くないことは複数の光センサを一次元もしくは二次元に多数配置し、この光信号を順次検出するようなシステム全体を構成するうえで工程が多くかつ複雑になるため、歩留まりが非常に悪く、低コストで高性能多機能な装置を作るうえで重大な問題になる。次に、以前我々が提案した光電変換装置の先行技術及びそのリフレッシュ動作の説明を行う。

【0023】図11(a)は、我々が以前提案した光電変換装置の光電変換素子を説明するための模式的層構成図であり、図11(b)は、その光電変換装置の概略的回路図である。

【0024】図11(a)において、1はガラスなどで形成される絶縁基板、2はAlやCrなどで形成される下部電極である。70は電子、ホール共に通過を阻止する窒化シリコン(SiN)などで形成される絶縁層であり、その厚さはトンネル効果により電子、ホールが通過できないほどの厚さである500オングストローム以上に設定される。4は水素化アモルファスシリコン(a-Si:H)の真性半導体i層で形成される光電変換半導体層、5は光電変換半導体層4に透明電極6側からのホールの注入を阻止するa-Siのn+層で形成される注入阻止層、透明電極6はITOのようなインジウム又はスズを含む化合物、酸化物などで形成される。

【0025】図11(b)において、100は図11(a)で示した光電変換素子を記号化したものでDが透明電極6側、Gが下部電極2側の電極を示している。120は検出部、110は電源部であり、電源部110はD電極に正の電位を与える正電源111、負の電位を与える負電源112の両者を切り換えるスイッチ113で構成される。スイッチ113はリフレッシュモードではrefresh側、光電変換モードではread側に接続されるよう制御される。

【0026】ここで光電変換素子100の動作について説明する。図12(a)、図12(b)はそれぞれ光電変換素子100のリフレッシュモードおよび光電変換モ

ードの動作を示す光電変換部のエネルギー・バンド図で、光電変換素子の各層の厚さ・方向の状態を表している。

【0027】リフレッシュモード(a)において、D電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは電界によりD電極に導かれ、同時に白丸で示された電子はi層4に注入される。この時一部のホールと電子はn層5、i層4において再結合して消滅する。充分に長い時間この状態が続けばi層4内のホールはi層4から掃き出される(図12(a))。

【0028】この状態で光電変換モード(b)になると、D電極はG電極に対して正の電位が与えられるためi層4中の白丸で示された電子は、瞬時にD電極に導かれる。しかし黒丸で示されたホールは、n層5が注入阻止層として働くためi層4に導かれることはない。この状態でi層4内に光が入射すると光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導かれ、ホールはi層4内を移動し絶縁層70の界面に達する。しかし、絶縁層70内には移動できないため、i層4内に留まることになる。この時電子はD電極に移動し、ホールはi層4内の絶縁層70界面に移動するため、素子内の電気的中性を保つため、電流がG電極から検出部120に流れる。この電流は光により発生した電子・ホール対に対応するため入射した光に比例する(図12(b))。

【0029】ある期間、光電変換モード(b)を保った後、再びリフレッシュモード(a)の状態になると、i層4内に留まっていたホールは前述のようにD電極に導かれ、同時にこのホールに対応した電荷が検出部120に流れる。このホールの量は光電変換モード期間に入射した光の総量に対応し、検出部120に流れる電荷は光の総量に対応する。この時i層4内に注入される電子の量に対応した電荷も流れるが、この量はおよそ一定なため差し引いて検出すればよい。

【0030】つまり、光電変換部100は、リアルタイムに入射する光の量を出力すると同時に、ある期間に入射した光の総量も出力することもできる。このことは我々が以前提案した構成例の大きな特徴といえる。検出部120は目的に応じてどちらか一方、もしくは両方を検出すればよい。

【0031】ここで図13を用いて我々が以前提案した光電変換装置の動作について説明する。

【0032】図13は、図11の光電変換装置における動作のタイミングチャートである。図中Vdgは光電変換部100のG電極に対するD電極の電位であり、Pは光の入射の状態を示し、オンで光が入射の状態、オフで光の入射がない。つまりダーク状態を示している。Isは検出部120に流れ込む電流を示し、横軸方向は時間の経過を示す。

【0033】最初にスイッチ113がrefresh方

向に接続されるとリフレッシュモードに入り、 $V_{dg}$ は負電圧となり、図12(a)のようにホールが掃き出され、また電子がi層4に注入されるにともない、検出部120には図13のEで示される負の突入電流Eが流れます。

【0034】その後、リフレッシュモードは終了し、スイッチ113がread方向に接続されるとi層4内の電子が掃き出され、正の突入電流E'が流れ光電変換モードに入る。この時光が入射されているとAで示される光電流Aが流れます。もし同様な動作でダーク状態であればA'で示されるように電流は流れません。よって光電流Aを直接、もしくは一定の期間、積分すれば光の入射を検出できます。

【0035】また、Aの状態からスイッチ113がrefresh方向に接続されると突入電流Bが流れます。これは直前の光電変換モード期間における光の入射の総量に反映された量になります。この突入電流Bを積分もしくは積分相当の値を得ればよい。直前の光電変換モードで光が入射していない場合は突入電流はB'のように小さくなり、その差を検出すれば、光の入射を検出できます。また前述の突入電流E'やE''はおよそ突入電流B'を等しいため、突入電流Bからこれらを差し引いてもよい。

【0036】また、さらに、同じ光電変換モード期間であっても光の入射の状態が変化すれば、C、C'のようにIsは変化します。これを検出しても光の入射状態を検出できます。つまり、必ずしも検出機会ごとに毎回リフレッシュモードにする必要はないことを示しています。しかしながら、何らかの理由により、光電変換モードの期間が長くなったり、入射する光の照度が強い場合、Dのように光の入射があるにもかかわらず電流が流れることもある。これは図12(c)のように、i層4内にホールが多数留まり、このホールのためにi層4内の電界が小さくなり、発生した電子がD電極に導かれなくなり、i層4内のホールと再結合してしまうからである。この状態で光の入射の状態が変換すると、電流が不安定に流れることもあるが、再びリフレッシュモードにすればi層4内のホールは掃き出され、次の光電変換モードではA'のようにAと等しい電流が得られます。

【0037】以上の説明において、入射光は一定で説明したが、入射光の強弱によりA、B、Cの電流はともに連続的に変化し、入射光の有無の検出に限らず、強弱についても定量的に検出できることはいうまでもない。

【0038】また、前述の説明において、リフレッシュモードで、i層4内のホールを掃き出す場合、全てのホールを掃き出すのが理想であるが、一部のホールを掃き出すだけでも効果があり、光電流であるAもしくはCにおいて全てを掃き出した場合と値は変わらず、問題はない。また、常に一定量が残るように掃き出せば、Bの電流によっても光の量を定量的に検出することができます。つまり、次の光電変換モードでの検出機会において電流

値がDの状態、すなわち図12(c)の状態にならなければよく、リフレッシュモードの $V_{dg}$ の電圧、リフレッシュモードの期間、およびn層5の注入阻止層の特性を決めればよい。

【0039】また、さらに、リフレッシュモードにおいて、i層4への電子の注入は必要条件でなく、 $V_{dg}$ の電圧は負に限定されるものでもない。ホールの一部がi層4から掃き出されればよい。ホールが多数i層4に留まっている場合には、たとえ $V_{dg}$ が正の電圧であってもi層4内の電界はホールをD電極に導く方向に加わるからである。n層5の注入阻止層の特性も同様に電子をi層4に注入できることが必要条件ではない。

【0040】図14(a)、図14(b)、図14(c)、図14(d)は、それぞれ検出部の較正例を示したものである。121は電流Amplifierで代表される電流計、122は電圧計、123は抵抗器、124はコンデンサ、125はスイッチ素子、126はオペアンプである。

【0041】図14(a)は直接電流を検出するもので、電流計121の出力は電圧や、増幅された電流である。図14(b)は電流を抵抗器123に流して電圧を電圧計122で検出している。図14(c)は電荷をコンデンサ124に蓄積し、その電圧を電圧計122で検出している。図14(d)はオペアンプ126により電流の積分値を電圧として検出している。図14(c)、図14(d)においてスイッチ素子125は毎回の検出に対して初期値を与える役割をし、検出の方法によって高抵抗の抵抗器に置き換えることも可能である。

【0042】電流計や電圧計は、トランジスタやこれを組み合せたオペアンプ、抵抗、コンデンサ等で構成し、高速で動作するものを使用することができます。検出部はこれら4種に限定するものではなく、電流もしくは電荷を直接もしくは積分値を検出できればよく、電流もしくは電圧値を検出する検出器と、抵抗器、コンデンサ、スイッチ素子を組合せ、複数の光電変換部を同時に順次出力するよう構成することもできる。

【0043】ラインセンサやエリアセンサを構成する場合は、電源部の配線やスイッチ素子と組合せてマトリックスで1000個以上の光電変換部の電位を制御し、また検出する。この場合、スイッチ素子やコンデンサ、抵抗の一部は光電変換部と同一基板上に構成するとS/N比や、コスト面で有利である。この場合、我々が以前提案した構成例の光電変換部は代表的なスイッチ素子であるTFTと同一膜構成のため同一プロセスで同時に形成することが可能であり低コストの高S/N比の光電変換装置が実現できる。

【0044】次に、リフレッシュモードにおけるリフレッシュ電圧値による光電変換装置の特性の違いについて以前我々が提案した光電変換装置を用いて説明する。

【0045】図15は、TFT1700及び電源111

5で構成される光電変換装置の1ビット等価回路図であり、図16がその動作を示すタイミングチャートである。

【0046】ここでは、図15に示した光電変換装置の1ビット等価回路図を用いて、TFT1700を介して光電変換素子のG電極に正の電位を与える場合について、説明を行う。そして光電変換素子のD電極の電位は、電源114により $V_D$ に設計され、リフレッシュ動作時のG電極の電位は電源1115により $V_{DG}$ に設定されるものとする。

【0047】まず、図11(a)に示すように光電変換素子100のG電極の電位( $V_G$ )をD電極の電位( $V_D$ )以上にリフレッシュする場合( $V_G = V_{DG} \geq V_D$ )について説明する。

【0048】このような状態にリフレッシュされると、光電変換素子100のi層4内に留まっていたホール及び電子がi層4と絶縁層70との界面に存在する界面欠陥にトラップされる。以下この電流を負の突入電流という。そしてリフレッシュ動作終了後、光電変換素子100のG電極の電位をGND電位等に初期化する時、i層4内及び界面欠陥にトラップされていた電子が全てD電極へ掃き出される。以下この電流を正の突入電流という。

【0049】i層4と絶縁層70との界面に存在する界面欠陥は一般にエネルギー準位が深い為、界面欠陥位置に存在する電子及びホールを移動させるエネルギー、及び他の位置から界面欠陥位置へ電子及びホールを移動させるエネルギーは相対的に高く、見かけ上の移動度も低くなる。その為、正の突入電流がゼロになるまで即ち界面欠陥にトラップされていた電子の全てがD電極へ掃き出されるまで数十マイクロ秒から数秒かかることになり、G電極リセット動作が終了しても大きな突入電流が流れる。その結果、G電極が持つ容量に蓄積された電荷の中にはノイズ成分である突入電流による電荷が含まれ、結果的にその電荷分SN比が低下してしまうのである。

【0050】上記の理由について、更に図15と図16を用いて詳細に説明する。図15のPa、Pb、Pc、Pdは、各々図15におけるスイッチ素子1125、転送用TFT1300、リフレッシュ用TFT1700、リセット用TFT1400を駆動するパルスのタイミングを示している。ここでHは各駆動素子をオン状態にするハイレベルを示しており、一般に結晶シリコン半導体スイッチ素子では+5v～+12v、a-Si-TFTでは+8v～+15v位が用いられる。又、Lは一般的に0vが多く用いられる。

【0051】Isと $V_G$ は、図15中の矢印で示す様に、各々光電変換素子100に一定の信号光が照射された状態において、矢印の方向へ流れる電流とG電極の電位を示している。

【0052】ここで、図16は、Pa～Pdのパルス幅を $20\mu s$ の動作時におけるIsと $V_G$ を示す図である。

【0053】図16において、 $V_G$ はPcのリフレッシュ用パルス立ち上がりから、Pdのリセット用パルス立ち上がりまで一定の高い電位に保たれている。その為、正の突入電流はその間に発生せず、Pdのパルス立ち上がり時に初めて、界面欠陥にトラップされていた電子の掃き出しによると考えられる正の突入電流が発生している。この正の突入電流が減衰しほぼゼロになるまで、我々の作製した装置では約 $80\sim100\mu s$ かかる為、G電極がもつ容量に信号電荷を蓄積し始めるPdのパルスの立ち下がり時には、正の突入電流が多く発生しており、図中の斜線で示した部分の電荷及び電圧値がノイズ成分として蓄積されてしまうのである。その結果蓄積分SN比が低下してしまうのである。

【0054】正の突入電流を低減する方法としては、Pdの初期化パルスの時間を長くすることが考えられるが、その時間にも限界があり、又時間を長くすることにより装置全体の信号読み取り時間が長くなり、装置の低速化即ち性能ダウンを引き起こすことになる。

【0055】次に図17を用いて光電変換素子100をリフレッシュさせる時の印加電圧の条件について説明する。図17は光電変換素子100のエネルギーーバンド図であり、両端の各々の電極(D電極及びG電極)は開放(オープン)状態である。光電変換素子100は一般にいわれているMIS(Metal-Insulator-Semiconductor)構造であり、両端の電極に加わる電圧条件により全容量が相対的に小さい状態(デプレッション状態)と全容量が相対的に大きい状態(アキュムレーション状態)が現れる。

【0056】図17における各デバイスの両端はオープンであるが、エネルギーーバンド図については図17(b)の場合が上記デプレッション状態のエネルギーーバンド図と同じであり、図17(c)の場合がアキュムレーション状態のエネルギーーバンド図と同じである。

【0057】一般にMISコンデンサは、作製直後において図17の(a)の状態即ちi層のバンドがフラットな状態(フラットバンド電圧 $V_{FB}=0v$ )又は図17(b)の状態即ち若干デプレッション状態( $3v \geq V_{FB} > 0v$ )である事が多い。又、MISコンデンサの両端に電圧を加える事により $V_{FB}$ はある程度任意の正及び負の値にする事も可能である。

【0058】ここで図11に示す1ビット回路を図13に示すタイミングで駆動する場合、リフレッシュ時間は光電変換時間より短くすることが可能となる。2次元的に光電変換素子を配列しマトリクス駆動を行う場合は光電変換素子の数が増えれば増えるほどリフレッシュ時間と光電変換時間の比は大きくなる。

【0059】一般にMIS型コンデンサのフラットバン

ド電圧  $V_{FB}$  は、電界、時間、温度に大きく依存することが知られているが、本発明の光電変換装置における光電変換素子はリフレッシュ時においてフラットバンド電圧  $V_{FB}$  は正の電圧方向へ移動し、反対に光電変換時にはフラットバンド電圧  $V_{FB}$  は負の電圧方向へ移動する。よって本発明の図11に示す光電変換装置における光電変換素子はフラットバンド電圧  $V_{FB}$  が結果的に負の電圧方向に移動し、光電変換素子のダイナミックレンジを小さくしてしまう。そうなると、光電変換装置としてのSN比は小さくなり、安定した特性が得られなくなってしまう。

【0060】又、ここで正の突入電流（減衰時間が長く、且つ電流値が大であること）をもたらす電圧値の条件を以下においてまとめる。

【0061】まず、光電変換素子100のi層のフラットバンド電圧  $V_{FB}$  がゼロの時はリフレッシュ時のG電極の電位 ( $V_{rg}$ ) はD電極の電位 ( $V_D$ ) より高ければ、即ち  $V_{rg} > V_D$  であれば、上述した問題の正の突入電流が流れれる。

【0062】又、光電変換素子100のi層のフラットバンド電圧  $V_{FB}$  がゼロでない時はリフレッシュ時のG電極の電位 ( $V_{rg}$ ) はD電極の電位 ( $V_D$ ) から  $V_{FB}$  を差し引いた電圧値よりも高ければ、即ち  $V_{rg} \geq V_D - V_{FB}$  であれば上述した問題の正の突入電流が流れるのである。

【0063】上記のメカニズムを図18を用いて説明する。

【0064】図18は、 $V_{rg} \geq V_D - V_{FB}$  の場合の光電変換素子100のエネルギー・バンド図で図11(a)の2から6各層の厚さ方向の状態を表している。

【0065】リフレッシュ動作の図18(a)において、D電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは、電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。又、i層4と絶縁層70の界面欠陥にトラップされていたホールはある程度の時間を費しD電極に導かれ、i層4に注入された電子のうち一部は、逆に、ある程度の時間を費してi層4と絶縁層70の界面欠陥にトラップされる。この時一部のホールと電子はn層5、i層4において再結合して消滅する。十分に長い時間この状態が続けばi層4内のホールはi層4から掃き出される。

【0066】この状態で光電変換動作の図18(b)になると、D電極はG電極に対して正の電位が与えられるためi層4中の電子は瞬時にD電極に導かれる。そしてi層4と絶縁層70の界面欠陥にトラップされていた電子は、ある程度時間を費してD電極へ導かれる。この界面欠陥にトラップされていた電子が前述した問題の突入電流の原因である。ここでホールはn層5が注入素子層として働く為、i層4に導かれることはない。この状態

でi層4内に光が入射すると、光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導かれ、ホールはi層4内を移動し i 層 4 と絶縁層 70 の界面に達する。しかし、絶縁層 70 内には移動できない為、i層4内に留まることになる。そしてある期間光電変換動作の図18(b)を保った後の状態が図18(c)である。

【0067】次に、このようなリフレッシュ条件における光電変換素子100のダイナミックレンジ(D·R)について説明する。図15に示される光電変換素子100のD·Rを電荷量で示すと、 $D \cdot R = V_{rg} \times C_s$ となる。ここで  $C_s$  は光電変換素子100の容量である。よって、光電変換素子100のダイナミックレンジ(D·R)はリフレッシュ電圧  $V_{rg}$  が高いほど大きくなる。そのため光電変換素子100に照射される信号光が多く得られる場合は光による信号量を多く得ることができるのでSN比が大きくなる。

【0068】次に、光電変換素子100のG電極の電位 ( $V_D$ ) 以下にリフレッシュする場合 ( $V_{rg} < V_D - V_{FB}$ ) について説明する。

【0069】図19は、光電変換装置の1ビットの概略的等価回路図である。また、図20は図19の光電変換装置を実際に駆動した時のタイミングチャートである。

【0070】図19において、図15と同じ番号で示される部分については同じものを示しているので説明は省略する。図15に示される概略的等価回路と図19に示される概略的等価回路との違いは TFT1700 に接続される電源の大きさである。なお、ここで光電変換素子100は図11(a)と同一の構造をしているので、i層と第2の電極層との間の注入阻止層はn型であり、注入が阻止されるキャリアはホールである。その為注入が阻止されるキャリア1個の電荷を  $q$  とするとこの場合も  $q > 0$  となる。

【0071】なお、図19において、信号検出部は図19の点線内の検出手段と TFT1300 及びハイレベルパルス  $P_b$  を印加する手段を含む。

【0072】図19において、図15と異なる点は、光電変換素子100のリフレッシュ動作において、G電極に正の電位を与える電源1115の電位  $V_{rg}$  が、D電極に正の電位を与える電源114の電位  $V_D$  に比べて低くしている点のみである。詳細にいえば、光電変換素子100には、i層のエネルギー・バンドをフラットにする為にG電極に印加するフラットバンド電圧 ( $V_{FB}$ ) が存在するので、実際には、図15の例では  $V_{rg} \geq V_D - V_{FB}$  の状態で駆動していたのに対し、図19では  $V_{rg} < V_D - V_{FB}$  の状態で駆動するのである。

【0073】次に図20において、 $V_{rg} < V_D - V_{FB}$  の状態での光電変換装置の動作を説明する。

【0074】図20において、図16と異なる点は、光電変換素子100の電流  $I_s$  と電流  $I_s$  によるG電極の

電位  $V_0$  の振舞いである。

【0075】図20において、Pcのリフレッシュパルスが立ち上がり、光電変換素子100のG電極に電圧  $V_{rg}$  ( $V_{rg} < V_0 - V_{FB}$ ) が印加されると光電変換素子100のi層内に留まっていたホールの一部がD電極に掃き出される。この時、i層と絶縁層の界面欠陥にトラップされていたホールのほぼ全てはそのままの状態であると考えられる。又、この時電子はD電極に掃き出された一部のホールに相当する量もしくはそれ以下の数量がD電極からi層内へ流れ込むが、i層内における電界はG電極側の電位が低い為、i層と絶縁層の界面欠陥にトラップされる電子はほぼゼロであると考えられる。よって図20における  $I_s$  はPcのリフレッシュパルス立ち上がり時において小さな負の突入電流しか生じることなく、又減衰時間も短くなっている。

【0076】又、Pcのリフレッシュパルス立ち上がりからPdのG電極リセットパルス立ち上がりまでのG電極の電圧  $V_0$  は  $V_{rg}$  にはほぼ一致しており、その電位は  $V_0 - V_{FB}$  より下がっていることを図20は示している。

【0077】次に、G電極リセットパルスが立ち上がり、光電変換素子100のG電極がGNDに接地されるとi層内に留まっていた若干の電子は全てD電極に流れ出すことになる。この時、i層と絶縁層の界面欠陥には電子は存在しない為、電子は少量で且つ瞬時に流れ出ると考えられる。又、この時界面欠陥に存在するホールはほとんど移動しないと思われる。よってPdのG電極リセットパルス立ち上がり時において、 $I_s$  は小さな正の突入電流しか生じることなく、又減衰時間も短くなっている。PdのG電極リセットパルスの立ち上がりから立ち下がりまでを約20マイクロ秒で動作させると、図のように光電変換動作開始となるPdのパルスの立ち下がり時には、ほぼ突入電流はゼロになる。よってPdのパルスの立ち下がりから蓄積されはじめる電荷は、ほぼすべてが光電変換素子100内に入射した信号光による電荷となり、その信号電圧を読み出すことによりSN比の高い情報を得ることが可能となる。

【0078】我々が以前提案した構成例における基本的なメカニズムについて図を用いてさらに以下で説明する。

【0079】図21(a)～図21(c)は  $V_{rg} < V_0 - V_{FB}$  の場合の光電変換素子100の動作を示すエネルギーーバンド図であり、図18(a)～図18(c)に示したエネルギーーバンド図に対応している。

【0080】リフレッシュ動作の図21(a)においてD電極はG電極に対して正の電位が与えられている為、i層4中の黒丸で示されたホールの一部が電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。ここでi層4と絶縁層70の界面欠陥にトラップされていたホールはほとんど移動せず、又電子が界面欠陥にトラップされることもない。

【0081】この状態で光電変換動作の図21(b)になると、G電極はD電極に対して更に大きな負の電位が与えられる為、i層4中の電子は瞬時にD電極に導かれるが、界面欠陥にトラップされた電子はほとんど存在しない為、先に説明した図1-5の光電変換装置で問題となる突入電流はほとんど存在しなくなる。

【0082】そしてある期間、光電変換動作の図21(b)を保った後の状態の図21(c)になる。

【0083】このように  $V_{rg} < V_0 - V_{FB}$  の条件にリフレッシュする場合においては、i層4と絶縁層70の界面欠陥に電子が存在することはほとんどない為、電子の出入りに長い時間を費すことがなくなり、結果的にノイズ成分となる突入電流を大きく削減することが可能となる。

【0084】しかしながら、このようなりフレッシュ条件では、図19に示される光電変換素子100のダイナミックレンジ(D・R)は、 $D \cdot R = V_{rg} \times C_s$  となり、 $V_{rg} \geq V_0 - V_{FB}$  の場合に比べて  $V_{rg} < V_0 - V_{FB}$  の場合のダイナミックレンジは小さくなる。その為信号処理が多い場合には、信号光による発生電荷が飽和し、SN比を下げることが生じる。

【0085】ここで以前我々が提案した光電変換装置において、SN比を保ち特性を安定させるべき項目について再度説明する。

【0086】図11(b)に示す1ビット回路を図13に示すタイミングで駆動する場合、リフレッシュ時間は光電変換時間より短くすることが可能となる。2次元的に光電変換素子を配列しマトリクス駆動を行う場合は光電変換素子の数が増えれば増えるほどリフレッシュ時間と光電変換時間の比は大きくなる。

【0087】一般に、MIS型コンデンサのフラットバンド電圧  $V_{FB}$  は、電界、時間、温度に大きく依存することが知られているが、本発明の光電変換装置における光電変換素子はリフレッシュ時においてフラットバンド電圧  $V_{FB}$  は正の電圧方向へ移動し、反対に光電変換時にはフラットバンド電圧  $V_{FB}$  は負の電圧方向へ移動する。

【0088】よって本発明の図11に示す光電変換装置における光電変換素子はフラットバンド電圧  $V_{FB}$  が結果的に負の電圧方向に移動し、光電変換素子のダイナミックレンジを小さくしてしまう。そうなると、光電変換装置としてのSN比は小さくなり、安定した特性が得られなくなってしまうという解決すべき課題がある。【発明の目的】本発明は、SN比が高く、特性が安定している光電変換装置、及びその駆動方法及びそれを有するシステムを提供することを目的とする。

【0089】具体的には、本発明の光電変換装置は、光電変換素子のフラットバンド電圧の移動を測定するために、光電変換モードでの光電変換素子の各層に印加する電界を変化させ、半導体層に蓄積される第一の型のキャリアもしくは第二の電極層に導かれた第二の型のキャリ

アを検出することにより、光電変換素子のフラットバンド電圧に相当する電圧を得、その結果を用いて、フラットバンド電圧を元に戻すことにより、結果的にダイナミックレンジを小さくしないこと、即ちS/N比が高く、特性が安定していることを目的とする。

【0090】更に具体的には、本発明の光電変換装置は、光電変換素子のフラットバンド電圧の移動を抑えるために、光電変換動作をしているときと逆方向の電界を光電変換素子に印加し、結果的にダイナミックレンジを小さくしないこと、即ちS/N比が高く、特性が安定していることを目的とする。

【0091】加えて本発明は、TFTと同一プロセスで形成することが可能で、生産プロセスの複雑化を生じること無く、低コストで作製可能な光電変換装置、及びその駆動方法及びそれを有するシステムを提供することを目的とする。

【0092】又、本発明は、歩留まりが高く、特性が安定している光電変換装置及びそれを有するシステムを提供することを目的とする。

### 【0093】

【課題を解決するための手段及び作用】本発明は、上記課題を解決するための手段として、絶縁基板上に、第一の電極層、第一の型のキャリアおよび前記第一の型のキャリアとは、正負の異なる第二の型のキャリアの両方のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有し、リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加するための電源部と、前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは、前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、を有する光電変換装置に於いて、まず第一に、前記光電変換モードでの光電変換素子の各層に印加する電界を変化させ、前記半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧を得ることを特徴とする光電変換素子の駆動方法を提供し、第二に、上記方法により得られたフラットバンド電圧に相当する電圧を用いて前記光電変換素子の各層に電界を与える以下の三つの動作モード、

(a) 入射光量に応じて電荷を発生し蓄積する光電変換モード；

(b) 光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモード；

するリフレッシュモード；

(c) 光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制モード；  
を切り替えて動作させる為のスイッチ手段を有することを特徴とする光電変換装置を提供する。

【0094】又、本発明は上記課題を解決するための手段として、絶縁基板上に、第一の電極層、第一の型のキャリアおよび前記第一の型のキャリアとは、正負の異なる第二の型のキャリアの両方のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有し、リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加するための電源部と、前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは、前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、を有する光電変換装置に於いて、前記光電変換モードでの光電変換素子の各層に印加する電界を変化させ、前記半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧を得ることを特徴とする光電変換素子の駆動方法を提供し、上記方法により得られたフラットバンド電圧に相当する電圧値を用いて前記光電変換素子の各層に電界を与える以下の三つの動作モード

(a) 入射光量に応じて電荷を発生し蓄積する光電変換モード

(b) 光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモード

(c) 光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制モード  
をスイッチ手段により切り替えて動作させることを特徴とする光電変換装置の駆動方法を提案する。

【0095】更に、本発明は、光電変換装置が蛍光体を有し、該光電変換装置からの信号を処理する信号処理手段と、前記信号処理手段からの信号を記録する為の記録手段と、前記信号処理手段からの信号を表示する為の表示手段と、前記信号処理手段からの信号を電送する為の電送手段と、前記光電変換装置に入力される光情報を発生させるためのX線源を有するシステムを提供する。\*\*\*  
【手段及び作用B】\*\*\*また、本発明は、上記課題を解決するための手段として、絶縁基板上に、第一の電極層、第一の型のキャリアおよび前記第一の型のキャリアとは、正負の異なる第二の型のキャリアの両方のキ

キャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有し、リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留ませ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換素子の各層に電界を印加するための電源部と、前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは、前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、を有する光電変換装置に於いて、前記光電変換モードでの光電変換素子の各層に印加する電界を変化させ、前記半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得ることを特徴とする光電変換素子の駆動方法を提供する。

【0096】【作用】本発明によれば、光電変換素子のフラットバンド電圧の移動を測定するために、光電変換モードでの光電変換素子の各層に印加する電界を変化させ、半導体層に蓄積される第一の型のキャリアもしくは第二の電極層に導かれた第二の型のキャリアを検出することにより、光電変換素子のフラットバンド電圧に相当する電圧値を得、その結果を用いて、フラットバンド電圧を元に戻すことにより、結果的にダイナミックレンジを小さくしないこと、即ちS/N比が高く、特性が安定した光電変換装置とができる。

【0097】更に、本発明によれば、光電変換素子のフラットバンド電圧の移動を抑えるために、光電変換動作をしているときと逆方向の電界を光電変換素子に印加することにより、結果的にダイナミックレンジを小さくしないこと、即ちS/N比が高く、特性を安定にとることができる。

【0098】加えて本発明によれば、TFTと同一プロセスで形成することが可能で、生産プロセスの複雑化を生じること無く、低コストで作製可能な光電変換装置、及びその駆動方法及びそれを有するシステムを提供することができる。

【0099】更に又、本発明によれば、歩留まりが高く、特性が安定している光電変換装置及びそれを有するシステムを提供することができる。

#### 【0100】

【発明の実施の形態】以上の点を鑑み、本発明において新たに考案した実施例が以下に示すものである。

#### 【0101】【実施例1】

【構成】図1は、本発明の第1の実施例に係る光電変換装置の全体回路図である。

【0102】図1において、S11～S33は光電変換素子で下部電極側をG、上部電極側をDで示している。C11～C33は蓄積用コンデンサ、T11～T33は転送用TFTである。Vg1はリフレッシュ用電源、Vs1はフラットバンド電圧を観測するための可変電圧電源であり、全光電変換素子S11～S33のG電極の電位をリセットするものであり実施例1の中で説明したVdと同じ働きをする。各電源は各々スイッチSWs1スイッチSWg1を介して全光電変換素子S11～S33のG電極に接続されている。ここで、スイッチSWs1、スイッチSWg1は直接にタイミングパルスRFに接続されており、スイッチSWs1、スイッチSWg1は同時にオンしないように制御されている。又、各スイッチのオン時間は任意の設定が可能である。

【0103】また、図1において、1画素は1個の光電変換素子とコンデンサ、およびTFTで構成され、その信号出力は信号配線SIGにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計9個の画素を3つのブロックに分け1ブロックあたり3画素の出力を同時に転送しこの信号配線SIGを通して検出用集積回路ICによって順次出力に変換され出力される(Vout)。また1ブロック内の3画素を横方向に配置し、3ブロックを順に縦に配置することにより各画素を二次元的に配置している。図中破線で囲んだ部分は大面積の同一絶縁基板上に形成されている。

【0104】又、図2(a)は本実施例中の1画素に相当する各素子の平面図、図2(b)は図2(a)のA-B線断面図である。

【0105】図2において、S11は光電変換素子、T11はTFT、C11はコンデンサ、およびSIGは信号配線である。本実施例においてコンデンサC11と光電変換素子S11とは特別に素子を分離しておらず、光電変換素子S11の電極の面積を大きくすることによりコンデンサC11を形成している。これは本実施例の光電変換素子とコンデンサが同じ層構成であるから可能なことである。また、画素上部にはバッシャーベーション用塗化シリコン膜S1Nとヨウ化セシウム等の蛍光体CsIを形成する事も考えられ、上方よりX線(X-ray)が入射すると蛍光体CsIにより、光(図2(b)の破線矢印)に変換され、この光が光電変換素子に入射されることも可能となる。

【フラットバンド電圧測定モードの説明】次に、図1、図3、図5を用いて図1においてタイミングパルスSELがHiの場合、即ちタイミングパルスRF1の側の回路が選択されフラットバンド電圧を測定する場合の動作について説明する。

【0106】図3は、本実施例の図1においてタイミングパルスSELがHiの場合、即ちタイミングパルスRF1の側の回路が選択されフラットバンド電圧を測定する場合の動作を示すタイミングチャートである。

【0107】[リフレッシュモード] はじめに、図1に示す、シフトレジスタSR1およびSR2により制御配線g1～g3、sg1～sg3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンして導通し、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側はV<sub>RES</sub>電位になる。これは、光電変換素子100のG側の電位をGNDではなくプラス側の電位V<sub>RES</sub>にリセットし、このリセットによる光電変換素子100に蓄積された電荷を転送用TFTで電荷を転送することと同じであり、転送用TFT・T11～T33を用いてAmp側に転送することにより積分検出器Amp側の電位V<sub>out</sub>は常にプラスの電位となる。

【0108】同時にタイミングパルスRF1にHiを出力してスイッチSW<sub>g1</sub>がオンし、全光電変換素子S11～S33のG電極はリフレッシュ用電源電位V<sub>g1</sub>になる。その後、全光電変換素子S11～S33はリフレッシュモードになりリフレッシュされる。

【0109】また、前述した図16においては、光電変換素子100に光信号が入射する事が前提であり、光電変換素子100の光電流I<sub>s</sub>が生成されていたが、本実施例の全光電変換素子S11～S33の状態は、暗状態にしてあり、光入射量はゼロにしてある。

【0110】[フラットバンド電圧測定モード] 図3において、g1～g3の信号がLoになり、s1～s3の信号がHiの状態になると、積分検出器Ampの入力端子はGND電位に設計されているため、V<sub>out</sub>はGNDになる。すると全光電変換素子S11～S33は光電変換モードになり同時にコンデンサC11～C33は初期化される。

【0111】次にシフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にLoが印加される。すると転送用TFT・T11～T33のスイッチM1～M3がオフし全光電変換素子S11～S33のD電極はDC的にはオープンになるがコンデンサC11～C33によって電位は保持される。

【0112】つぎにシフトレジスタSR1により制御配線g1にHiの制御パルスが印加され、シフトレジスタSR2の制御配線s1～s3への制御パルス印加によって転送用TFT・T11～T33、スイッチM1～M3を通してv1～v3が順次出力される。これにより全光電変換素子S11～S33の容量に相当する二次元的情報がv1～v9として得られる。

【0113】ここで、模擬的なC-V特性の説明をする。

【0114】図5は、模擬的なC-V特性を示す図であり、図1における可変電圧V<sub>s1</sub>電源を、図5のA、B、Cのように変化させることにより、全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～

～C33のD電極側に蓄積された電荷が変化する、その様子を示すのが図3のV<sub>out</sub> A、B、Cである。

【0115】これを見ると、可変電圧V<sub>s1</sub>電源を変化させることにより、全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する様子が判り、結果的に擬似的なC-V特性即ちフラットバンド電圧を得られることが確認できる。

10 【出力読み出しモードの説明】次に、図1において、タイミングパルスSE1がLoの場合、即ちSR3の側の回路が選択され、フラットバンド電圧の移動を抑制するモードを含む出力読み出しモードとなった場合の説明を行う。

【0116】図1において、V<sub>s2</sub>は読み出し用電源、V<sub>g2</sub>はリフレッシュ用電源、V<sub>c</sub>はフラットバンド電圧シフト抑制用電源であり、各電源は各々スイッチSW<sub>s2</sub>、スイッチSW<sub>g2</sub>、スイッチSW<sub>c</sub>を介して全光電変換素子S11～S33のG電極に接続されている。ここで、センサのG電極に印加される各電源の電位はV<sub>c</sub> > V<sub>g2</sub> > 0 > V<sub>s2</sub>と設定している。スイッチSW<sub>s2</sub>、スイッチSW<sub>g2</sub>、スイッチSW<sub>c</sub>は直接にシフトレジスタSR3に接続されており、スイッチSW<sub>s2</sub>、スイッチSW<sub>g2</sub>、スイッチSW<sub>c</sub>は同時にオンしないように制御されている。又、各スイッチのオン時間は任意に設定可能である。

【0117】図4は、本実施例のタイミングチャートであり、図1乃至図4を用いて本実施例の光電変換装置の動作について説明する。

30 【0118】[リフレッシュモード] はじめに、シフトレジスタSR1およびSR2により制御配線g1～g3、sg1～sg3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンし導通し、全光電変換素子S11～S33のD電極はGND電位になる（積分検出器Ampの入力端子はGND電位に設計されているため）。同時にシフトレジスタSR3がRF2にHiを出力してスイッチSW<sub>g2</sub>がオンし全光電変換素子S11～S33のG電極はリフレッシュ用電源電位V<sub>g2</sub>>0を

40 選択した場合は、先に図15で説明したV<sub>rf</sub>≥V<sub>d</sub>-V<sub>FB</sub>と同じ条件になる為、先に説明したようにV<sub>g2</sub><0を選択した図19のV<sub>rf</sub><V<sub>d</sub>-V<sub>FB</sub>の条件と比較して突入電流が多く発生し、ノイズが増える。しかしながら光電変換素子のダイナミックレンジは増大する。その後全光電変換素子S11～S33はリフレッシュモードになりリフレッシュされる。

【読み取りモード】つぎに、シフトレジスタSR3がRF2にLoを、REにHiを出力しスイッチSW<sub>g2</sub>がオフし、スイッチSW<sub>s2</sub>がオンし、全光電変換素子S11～S33のG電極は読み取り用電源V<sub>s2</sub>により負電位に

なる。すると全光電変換素子S 1 1～S 3 3は光電変換モードになり同時にコンデンサC 1 1～C 3 3は初期化される。この状態でシフトレジスタSR 1およびSR 2により制御配線g 1～g 3、s g 1～s g 3にL oが印加される。すると転送用T F T・T 1 1～T 3 3のスイッチM 1～M 3がオフし全光電変換素子S 1 1～S 3 3のD電極はDC的にはオープンになるがコンデンサC 1 1～C 3 3によって電位は保持される。しかしこの時点ではX線は入射されていないため全光電変換素子S 1 1～S 3 3には光は入射されず光電流は流れない。

【0 1 1 9】この状態でX線がパルス的に出射され人体等を通して蛍光体C s Iに入射されると光に変換され、その光がそれぞれの光電変換素子S 1 1～S 3 3に入射する。この光は人体等の内部構造の情報が含まれている。この光により流れた光電流は電荷としてそれぞれのコンデンサC 1 1～C 3 3に蓄積されX線の入射終了後も保持される。つぎにシフトレジスタSR 1により制御配線g 1にH iの制御パルスが印加され、シフトレジスタSR 2の制御配線s g 1～s g 3への制御パルス印加によって転送用T F T・T 1 1～T 3 3、スイッチM 1～M 3を通してv 1～v 3が順次出力される。これにより人体等の内部構造の二次元的情報がv 1～v 9として得られる。

【フラットバンド電圧シフト抑制モード】その後、シフトレジスタSR 3のR F 2はL oになり、C OがH iとなる。又、シフトレジスタSR 1およびSR 2により制御配線g 1～g 3、s g 1～s g 3にH iが印加される。すると転送用T F T・T 1 1～T 3 3とスイッチM 1～M 3がオンし導通し、全光電変換素子S 1 1～S 3 3のD電極はG ND電位になる（積分検出器A m pの入力端子はG ND電位に設計されているため）。よって、全光電変換素子S 1 1～S 3 3のG電極は正の電位(V c)になり、全光電変換素子S 1 1～S 3 3はフラットバンド電圧シフト抑制モードになる。

【0 1 2 0】静止画像を得る場合はここまで動作であるが動画像を得る場合はここまで動作を繰り返す。一般に動画像を得る場合は静止画像を得る場合と比較して照射されるX線の強度は弱いが、照射時間は長い場合が多い。その為、信号光量が多くなり、大きなダイナミックレンジが必要となる。また、一般に動画像を得る場合は、おおまかな位置決めをする場合が多く、多少のノイズ等は無視できる場合が多い。よって動画像を得る場合はダイナミックレンジが大きいV r e ≥ V D - V F Bの条件即ちV o 2 > 0を選択する方がよい。

【0 1 2 1】図1と同様に、図3において光電変換素子1 0 0のG電極のリフレッシュ電源V o 2を正の値に設定しているが、上記で説明したように突入電流を小さくする目的でリフレッシュ電源V o 2を負の値で用いることが可能であることはいうまでもない。

【0 1 2 2】また、ここでは電源V o を比較的大きな電

圧を印加できる電源にすることにより、フラットバンド電圧の移動を抑制する時間即ち、S W o をオンする時間を比較的短くすることを可能とし、総合的な光電変換装置の駆動時間を短くすることが可能となる。

【0 1 2 3】本実施例の光電変換装置は、光電変換モードとリフレッシュモードとフラットバンド電圧シフト抑制モードを、順番に切り替えて駆動することが可能となり、上記で説明したフラットバンド電圧のシフトを小さくすることが可能となる。この為センサのダイナミックレンジが小さくなることを防ぐことができ、高いS N比を保ち、安定した特性を得ることが可能となる。

【0 1 2 4】本実施例では、光電変換素子のG電極が共通に接続され、この共通の配線をスイッチS W o 2とスイッチS W s 2とスイッチS W e を介してリフレッシュ用電源V o 2読み出し用電源V s 2及びフラットバンド電圧シフト抑制用電源V e に接続しているため、全光電変換素子を同時にリフレッシュモードと光電変換モード及びフラットバンド電圧シフト抑制モードに切り換えることができる。このため複雑な制御なくして1画素あたり1個のT F Tで光出力を得ることができる。

【0 1 2 5】又、本実施例では9個の画素を3×3に二次元配置し3画素ずつ同時に、3回に分割して転送・出力したがこれに限らず、例えば縦横1 mmあたり5×5個の画素を2 0 0 0 × 2 0 0 0 個の画素として二次元的に配置すれば4 0 cm × 4 0 cmのX線検出器が得られる。これをX線フィルムの代わりにX線発生器と組み合わせてX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をC R Tで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【実施例2】図6、図7に、本発明の実施例2を示す2 0 0 0 × 2 0 0 0 個の画素を持つ検出器の実装を示す概念図を示す。ここで示す2 0 0 0 × 2 0 0 0 個の画素を持つ検出器の実装を示す概念図の中には、図1～図5で説明した光電変換装置が搭載されていることは言うまでもない。

【0 1 2 6】2 0 0 0 × 2 0 0 0 個の検出器を構成する場合、図1で示した破線内の素子を縦・横に数を増せば良いが、この場合制御配線もg 1～g 2 0 0 0と2 0 0 0本になり信号配線S I Gもs i g 1～s i g 2 0 0 0と2 0 0 0本になる。またシフトレジスタSR 1や検出用集積回路I Cも2 0 0 0本の制御・処理をしなければならず大規模となる。これをそれぞれ1チップの素子で行うことは1チップが非常に大きくなり、製造時の歩留りや価格等で不利である。そこで、シフトレジスタSR

1は例えば100段ごと1個のチップに形成し、20個(SR1-1～SR1-20)を使用すればよい。また検出用集積回路も100個の処理回路ごと1個のチップに形成し、20個(IC1～IC20)を使用する。

【0127】図6には左側(L)に20チップ(SR1-1～SR1-20)と下側(D)に20チップ実装し、1チップあたり100本の制御配線、信号配線をおののワイヤーボンディングでチップと接続している。図6中破線部は図3の破線部に相当する。また外部への接続は省略している。また、SW<sub>g</sub>、SW<sub>s</sub>、SW<sub>c</sub>、V<sub>g</sub>、V<sub>s</sub>、V<sub>c</sub>、RF、RE、CO等も省略している。集積回路IC1～IC20からは2.0本の出力(V<sub>out</sub>)があるが、これらはスイッチ等を介して1本にまとめたり、20本をそのまま出し並列処理すればよい。

【0128】あるいは図7に示すように左側(L)に10チップ(SR1-1～SR1-10)、右側(R)に10チップ(SR1-11～SR1-20)と上側に10チップ(IC1～10)、下側(D)に10チップ(IC11～20)を実装してもよい。この構成は上下・左・右側(U・D・L・R)にそれぞれ各配線を1000本ずつに振り分けているため、各辺の配線の密度が小さくなり、また各辺のワイヤーボンディングの密度も小さく、歩留りが向上する。配線の振り分けは左側(L)にg1, g3, g5, … g1999、右側(R)にg2, g4, g6, … g2000とし、つまり奇数番目の制御線を左側(L)、偶数番目の制御線を右側(R)に振り分ける。

こうすると各配線は等間隔に引き出され配線されるので密度の集中なく一層歩留りが向上する。また、上側(U)下側(D)への配線も同様に振り分けなければならない。

【0129】また、図示していないが別の実施例として配線の振り分けは左側(L)にg1～g100, g201～g300, … g1801～g1900、右側(R)にg101～g200, g301～g400, … g1901～g2000を振り分け、つまり、1チップごとに連続な制御線を振り分け、これを左・右側(L・R)交互に振り分ける。こうすると、1チップ内は連続に制御でき、駆動タイミングが楽で回路を複雑にななくてよく安価なものが使用できる。上側(U)、下側(D)についても同様で、連続な処理が可能で安価な回路が使用できる。

【0130】また、図6、図7に示される例は、共に1枚の基板上に破線部の回路を形成した後、その基板上にチップを実装してもよいし、別の大きな基板上に破線部の回路基板とチップを実装してもよい。また、チップをフレキシブル基板上に実装して破線部の回路基板に貼り付け接線してもよい。

【0131】またこのような非常に多くの画素をもつ大面積の光電変換装置は従来の光センサを用いた複雑な工

程では不可能であったが、本発明の光電変換装置の工程は各画素を共通な膜で同時に形成しているため工程数が少なく、簡易的な工程で済むため高歩留まりが可能で低コストで大面積・高性能の光電変換装置の生産を可能としている。また、コンデンサと光電変換画素子が同じ画素内で構成でき、実質上画素を半減することが可能でさらに歩留まりを向上できる。

【実施例3】図8は、本発明の実施例3を示す光電変換装置を用いたシステム全体を表す模式的ブロック図である。ここで示す光電変換装置を用いたシステム全体を表す模式的ブロック図の中には、図1～図5で説明した光電変換装置が搭載されていることは言うまでもない。

【0132】図8において、6001はa-Siセンサ基板であるこの図では複数のシフトレジスタSR1を直列に、また検出用集積回路ICも複数で駆動している。検出用集積回路ICの出力は処理回路6008内のアナログデジタル変換器6002に入力されデジタル化される。この出力は固定パターン補正用の引き算器6003を介してメモリ6004に記憶される。メモリの中の情報はコントローラ6005により制御されバッファ6006を介し信号処理手段としてのイメージプロセッサに転送され、そこで画像処理される。

【0133】図9(a)、図9(b)は本発明をX線検出用の光電変換装置に適用した場合の模式的構成図及び模式的断面図である。

【0134】図9において、光電変換画素子とTFTは、a-Siセンサ基板6011内に複数個形成され、シフトレジスタSR1と検出用集積回路ICが実装されたフレキシブル回路基板6010が接続されている。フレキシブル回路基板6010の逆側は回路基板PCB1、PCB2に接続されている。前記a-Siセンサ基板6011の複数枚が基台6012の上に接着され大型の光電変換装置を構成する基台6012の下には処理回路6018内のメモリ6014をX線から保護するため鉛板6013が実装されている。a-Siセンサ基板6011上にはX線を可視光に変換するための蛍光体6030たとえばCsIが、塗布または貼り付けられている。前述の図2で説明したX線検出方法と同じ原理に基き、X線を検出することができる。本実施例では図9(b)に示されるように全体をカーボンファイバー製のケース6020に収納している。

【0135】図10は、本発明の光電変換装置のX線診断システムへの応用例を示したものである。

【0136】図10において、X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、蛍光体を上部に実装した光電変換装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応して蛍光体は発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換されイメージ

プロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0137】また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクタールームなどディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

【実施例4】図25は、第4の実施例に係る光電変換装置の駆動方法を説明するための1ビットの等価回路図である。図25において図15と同じ番号で示される部分は同じものを示す。

【0138】図15と異なる点は、まず第一に光電変換素子100のフラットバンド電圧( $V_{FB}$ )の測定をするための電圧 $V_d$ 可変電源2114が電源114の代わりに追加されており、光電変換素子100を、 $V_d$ がプラス側の全容量が相対的に小さい状態(デプレッション状態)と全容量が相対的に大きい状態(アキュムレーション状態)に変化させる作用を行う。

【0139】第二には、光電変換素子100のG側の電位をGNDではなくプラス側の電位 $V_{RES}$ にリセットするための電源2115が配置されている点である。光電変換素子100のG側の電位をGNDではなくプラス側の電位 $V_{RES}$ にリセットし、このリセットによる光電変換素子100に蓄積された電荷をTFT1300を用いてコンデンサ1124に転送することによりコンデンサ1124のTFT1300側の電位 $V_o'$ は常にプラスの電位となる。

【0140】また図15においては光電変換素子100に光信号が入射する事が前提であり、光電変換素子100の光電流 $I_s$ が生成されていたが、本実施例の光電変換素子100は暗状態にしてあり光入射量はゼロにしてある。

【0141】次に第一の実施例の動作を図25、図26、図16を用いて説明する。

【0142】基本的な動作は上記で述べたように、図16と同じであるが、暗状態にしてあるため光電流 $I_s$ は常にゼロである。 $P_b$ の $H_i$ 信号により、TFT1300がonした直後の $V_o$ 及び $V_o'$ は、図25における可変電圧 $V_d$ の大きさにより、光電変換素子100の容量値が変化し、それに伴い光電変換素子100のG側に蓄積される(TFT1400により $V_{RES}$ へ)電荷量が異なるため $V_o$ 及び $V_o'$ は可変電圧 $V_d$ に依存を示す。

【0143】図26においてその様子を示す。図26の $V_o$  -  $V_d$ 特性図において光電変換素子100の容量値がアキュムレーション状態2021からデプレッション状態2023へ変化していく部分2022即ち $V_o$ が高い状態から低い状態へ変化していく部分2022

の、直線部分の延長線2024とアキュムレーション状態を示す直線部分の延長線2025の交点をフラットバンド電圧 $V_{FB}$ とする。

【0144】また上記で説明したように、本発明の図11に示す光電変換装置における光電変換素子はフラットバンド電圧 $V_{FB}$ が結果的に負の電圧方向に移動し、図26における2026の点線のように特性が変化するので、その結果、光電変換素子のダイナミックレンジを小さくしてしまう。そうなると、光電変換装置としてのSN比は小さくなり、安定した特性が得られなくなってしまう。

【0145】本発明のような駆動方法を用いることにより、光電変換素子100の擬似的なC-V特性を得ることが可能になり、その結果フラットバンド電圧 $V_{FB}$ を得ることができフラットバンド電圧 $V_{FB}$ の移動量が確認できた場合は、そのフラットバンド電圧 $V_{FB}$ の移動量をゼロにする駆動方法を用いることが可能になる。

【0146】この為、光電変換素子100のダイナミックレンジが小さくなることを防ぐことができ、高いSN比を保ち、安定した特性を得ることが可能となる。

【実施例5】図27は、本発明の光電変換装置の第5の実施例を示す全体回路図である。

【0147】図27において、S11～S33は光電変換素子で下部電極側をG、上部電極側をDで示している。C11～C33は蓄積用コンデンサ、T11～T33は転送用TFTである。 $V_g$ はリフレッシュ用電源、 $V_s$ はフラットバンド電圧を観測するための可変電圧電源であり、全光電変換素子S11～S33のG電極の電位をリセットするものであり、実施例4の中で説明した $V_d$ と同じ働きをする。

【0148】また、各電源は、各々スイッチ $SW_s$ 、スイッチ $SW_g$ を介して全光電変換素子S11～S33のG電極に接続されている。ここで、スイッチ $SW_s$ 、スイッチ $SW_g$ は直接にタイミングパルスRFに接続されており、スイッチ $SW_s$ 、スイッチ $SW_g$ は同時にオンしないように制御されている。又、各スイッチのオン時間は任意の設定が可能である。

【0149】1画素は1個の光電変換素子とコンデンサ、およびTFTで構成され、その信号出力は信号配線SIGにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計9個の画素を3つのブロックに分け1ブロックあたり3画素の出力を同時に転送し、この信号配線SIGを通して検出用集積回路ICによって順次出力に変換され出力される( $V_{out}$ )。また1ブロック内の3画素を横方向に配置し、3ブロックを順に縦に配置することにより各画素を二次元的に配置している。

【0150】図中破線で囲んだ部分は、大面積の同一絶縁基板上に形成されている。図2は、このような光電変換素子の平面図(a)及び断面図(b)である。

【0151】図2において、S11は光電変換素子、T11は TFT、C11はコンデンサ、およびSIGは信号配線である。本実施例においてはコンデンサC11と光電変換素子S11とは特に素子を分離しておらず、光電変換素子S11の電極の面積を大きくすることによりコンデンサC11を形成している。これは本実施例の光電変換素子とコンデンサが同じ層構成であるから可能のことである。また、画素上部にはバッシペーション用窒化シリコン膜SiNとヨウ化セシウム等の蛍光体CsIを形成する事も考えられ、上方よりX線(X-ray)が入射すると蛍光体CsIより光(破線矢印)に変換され、この光が光電変換素子に入射されることも可能となる。

【0152】次に、図27、図28、図29を用いて本実施例の光電変換装置の動作について説明する。

【0153】図28は、本実施例の動作を示すタイミングチャートである。

【0154】はじめにシフトレジスタSR1およびSR2により制御配線g1～g3、sg1～sg3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンし導通し、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側はV<sub>RES</sub>電位になる。これは前記実施例第一に示したように、光電変換素子100のG側の電位をGNDではなくプラス側の電位V<sub>RES</sub>にリセットし、このリセットによる光電変換素子100に蓄積された電荷を転送用TFTで転送することと同じであり、転送用TFT・T11～T33を用いてAmp側に転送することにより積分検出器Amp側の電位V<sub>out</sub>は常にプラスの電位となる。図27に示すg1～g3及びs1～s3の信号とand素子及び積分検出器Amp側の電位V<sub>out</sub>をリセットするスイッチとリセット用電源V<sub>RES</sub>は以上説明した動作を行うための素子である。

【0155】同時にタイミングパルスRFにHiを出力してスイッチSW<sub>g</sub>がオンし全光電変換素子S11～S33のG電極はリフレッシュ用電源電位V<sub>g</sub>になる。その後全光電変換素子S11～S33はリフレッシュモードになりリフレッシュされる。

【0156】また図15においては、光電変換素子100に光信号が入射する事が前提であり、光電変換素子100の光電流I<sub>s</sub>が生成されていたが、本実施例の全光電変換素子S11～S33の状態は、実施例4で示した光電変換素子100と同様に暗状態にしており光入射量はゼロにしてある。

【0157】図28においてg1～g3の信号がLoになり、s1～s3の信号がHiの状態になると積分検出器Ampの入力端子はGND電位に設計されているためV<sub>out</sub>はGNDになる。すると全光電変換素子S11～S33は光電変換モードになり同時にコンデンサC11～C33は初期化される。次にシフトレジスタSR1お

よびSR2により制御配線g1～g3、s1～s3にLoが印加される。すると転送用TFT・T11～T33のスイッチM1～M3がオフし全光電変換素子S11～S33のD電極はDC的にはオープンになるがコンデンサC11～C33によって電位は保持される。

【0158】つぎにシフトレジスタSR1により制御配線g1にHiの制御パルスが印加され、シフトレジスタSR2の制御配線s1～s3への制御パルス印加によって転送用TFT・T11～T33、スイッチM1～M3を通してv1～v3が順次出力される。これにより全光電変換素子S11～S33の容量値に相当する二次元的情報がv1～v9として得られる。

【0159】ここで、上記で説明した実施例4の図26の模擬的なC-V特性の説明をする。

【0160】図29は、模擬的なC-V特性を説明するための図であり、図27における可変電圧V<sub>s</sub>電源を、図29のA、B、Cのように変化させることにより全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する、その様子を示すのが図28のV<sub>out</sub> A、B、Cである。

【0161】これを見ると、可変電圧V<sub>s</sub>電源を変化させることにより、全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する様子が判り、結果的に模擬的なC-V特性即ちフラットバンド電圧を得ることができる事が確認できる。

【0162】又、本実施例では9個の画素を3×3に二次元配置し3画素ずつ同時に、3回に分割して転送・出力したがこれに限らず、例えば縦横1mmあたり5×5個の画素を2000×2000個の画素として二次元的に配置し、その上にX線を可視光に変換する蛍光板を配置すれば40cm×40cmのX線検出器が得られる。これをX線フィルムの代わりにX線発生器と組み合わせてX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0163】

【発明の効果】以上説明したように、本発明の光電変換装置によれば、光電変換素子のフラットバンド電圧の移動を測定するために、光電変換モードでの光電変換素子の各層に印加する電界を変化させ、半導体層に蓄積され

る第一の型のキャリアもしくは第二の電極層に導かれた第二の型のキャリアを検出することにより、光電変換素子のフラットバンド電圧に相当する電圧値を得、その結果を用いて、フラットバンド電圧を元に戻すことにより、結果的にダイナミックレンジを小さくしないこと、即ちS/N比が高く、特性が安定していることを可能にする。

【0164】また、本発明によれば、光電変換モードとリフレッシュモードとフラットバンド電圧シフト抑制モードを順番に切り替えて駆動することが可能となり、フラットバンド電圧のシフトを小さくすることが可能となる。この為センサのダイナミックレンジが小さくなることを防ぐことができ、高いS/N比を保ち、安定した特性を得ることが可能となる。

【0165】さらに、本発明によれば、S/N比が高く、特性が安定している光電変換装置、その駆動方法及びそれを有するシステムを提供することができる。

【0166】また上記したような優れた特性を有する光電変換装置を利用することにより、より低成本で大面積・高機能・高特性のファクシミリやX線レントゲン装置を提供できる。

【0167】加えて本発明は、TFTと同一プロセスで形成する事が可能で、生産プロセスの複雑化を生じること無く、低成本で作製可能な光電変換装置、及びその駆動方法及びそれを有するシステムを提供することを可能にする。

#### 【図面の簡単な説明】

【図1】本発明の実施例1の光電変換装置を説明するための概略的回路図である。

【図2】本発明の光電変換装置の一例を説明する為の模式的平面図(a)、及び模式的断面図(b)である。

【図3】本発明の光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図4】本発明の光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図5】本発明の光電変換装置の動作の一例を説明するための擬似的な光電変換素子のC-V特性である。

【図6】本発明の光電変換装置の実装例2を説明するための模式的配置構成図である。

【図7】本発明の光電変換装置の実装例2を説明するための模式的配置構成図である。

【図8】本発明の光電変換装置を有するシステムの実施例3の一例を説明するためのシステム構成図である。

【図9】X線検出装置に適用した場合の実施例3の一例を説明する模式的構成図(a)、模式的断面図(b)である。

【図10】本発明の光電変換装置を有するシステムの実施例3の一例を説明するためのシステム構成図である。

【図11】我々が以前提案した光電変換部の構成例を説明する模式的断面図(a)、及び概略的回路図(b)である。

【図12】光電変換部のエネルギー状態を説明するためのエネルギーーバンド図である。

【図13】我々が以前提案した光電変換部の動作の一例を説明するためのタイミングチャートである。

【図14】検出部の構成例を説明するための概略的回路図である。

10 【図15】本発明の光電変換装置を説明するための概略的回路図である。

【図16】光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図17】光電変換部のエネルギー状態を説明するためのエネルギーーバンド図である。

【図18】光電変換部のエネルギー状態を説明するためのエネルギーーバンド図である。

【図19】光電変換装置を説明するための概略的回路図である。

20 【図20】光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図21】光電変換部のエネルギー状態を説明するためのエネルギーーバンド図である。

【図22】光センサの構成の一例を説明する模式的断面図である。

【図23】TFTの層構成図である。

【図24】ゲート絶縁膜厚に対するTFTの歩留まりを示すグラフである。

30 【図25】本発明の実施例4の光電変換装置の動作を説明するための1ビット等価回路図である。

【図26】本発明の実施例4の光電変換装置の動作を説明するための擬似的なC-V特性図である。

【図27】本発明の実施例5の光電変換装置を説明するための概略的回路図である。

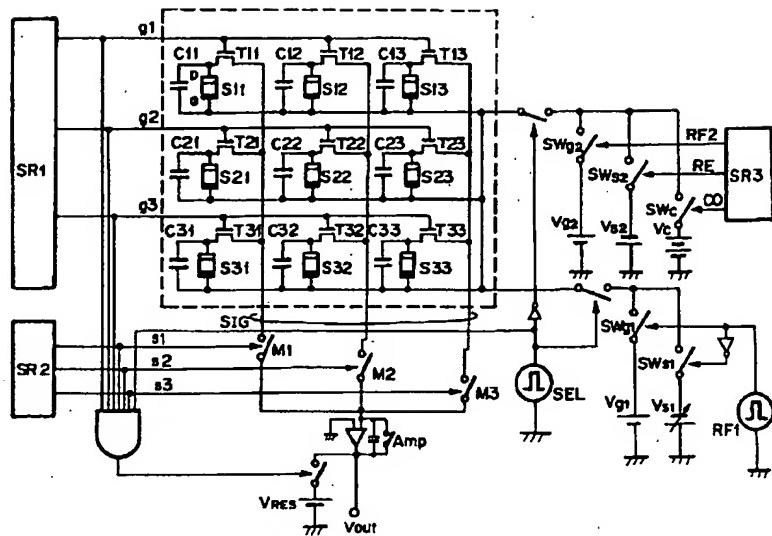
【図28】本発明の実施例5の光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図29】本発明の実施例5光電変換装置の動作を説明するための擬似的なC-V特性図である。

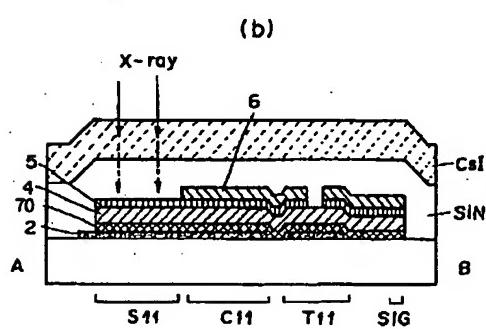
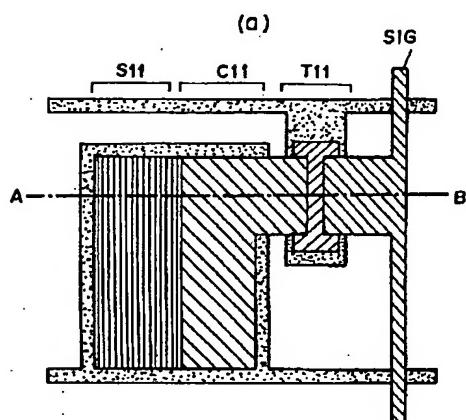
#### 【符号の説明】

- 40 S11～S33 光電変換素子、  
C11～C33 蓄積用コンデンサ、  
T11～T33 転送用TFT、  
 $V_{g1}$  リフレッシュ用電源、  
 $V_{s1}$  フラットバンド電圧を観測するための可変電圧電源、  
 $V_{s2}$  読み出し用電源、  
 $V_{g2}$  リフレッシュ用電源、  
 $V_c$  フラットバンド電圧シフト抑制用電源

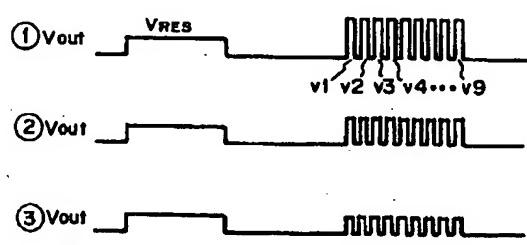
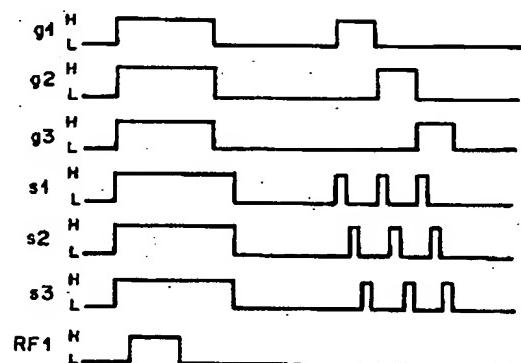
【図1】



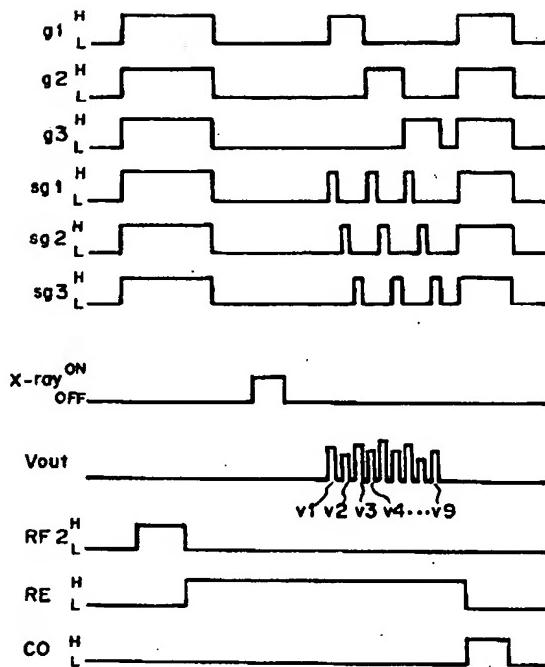
【図2】



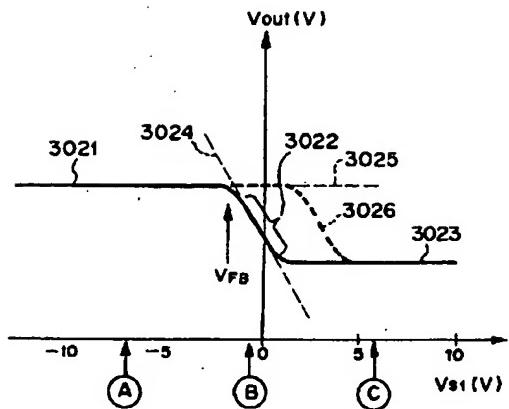
【図3】



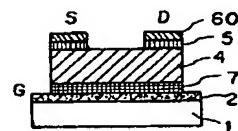
【図4】



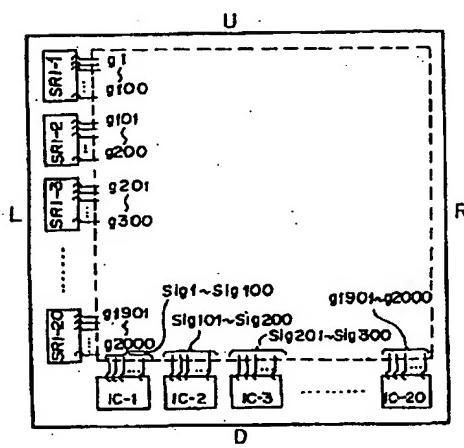
【図5】



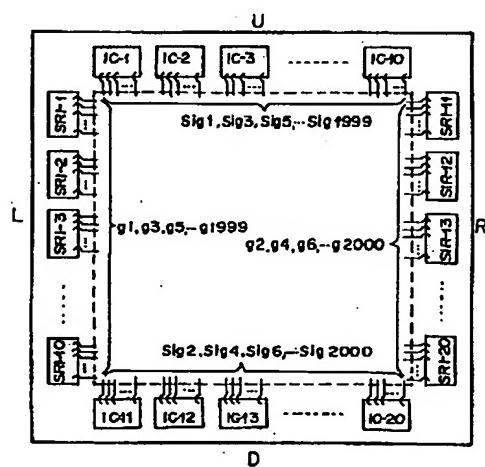
【図23】



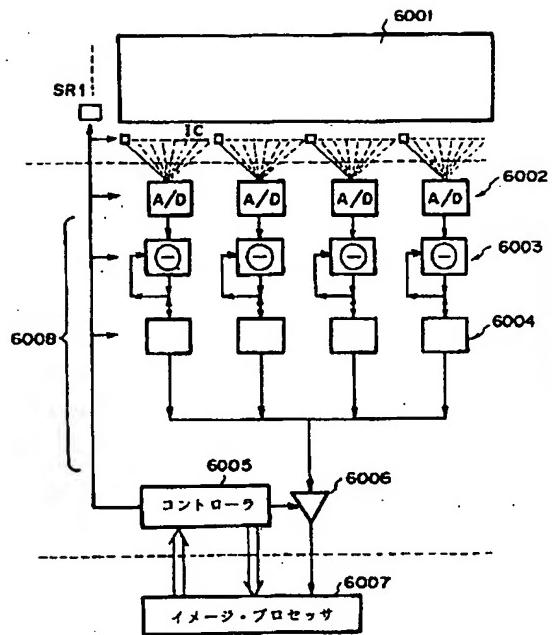
【図6】



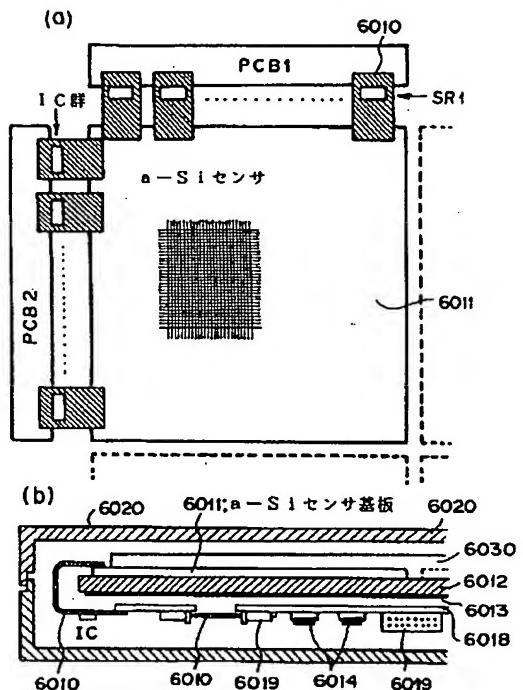
【図7】



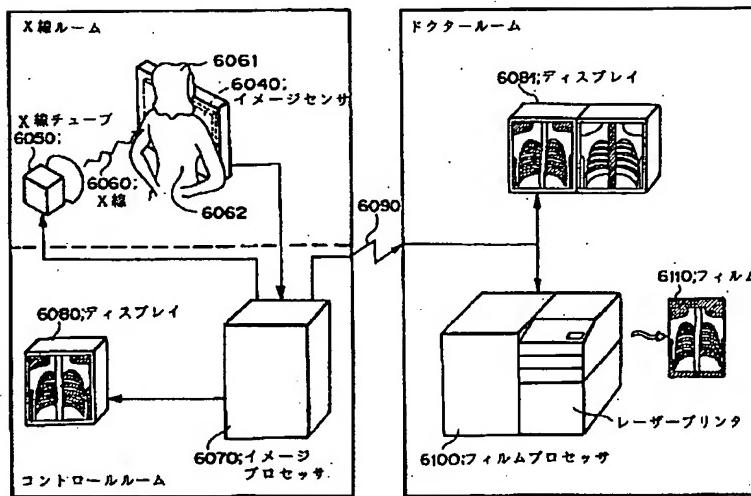
【図8】



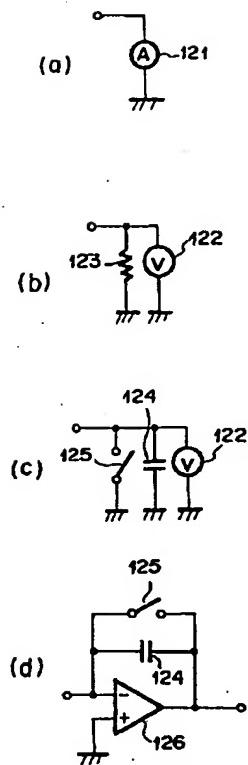
【図9】



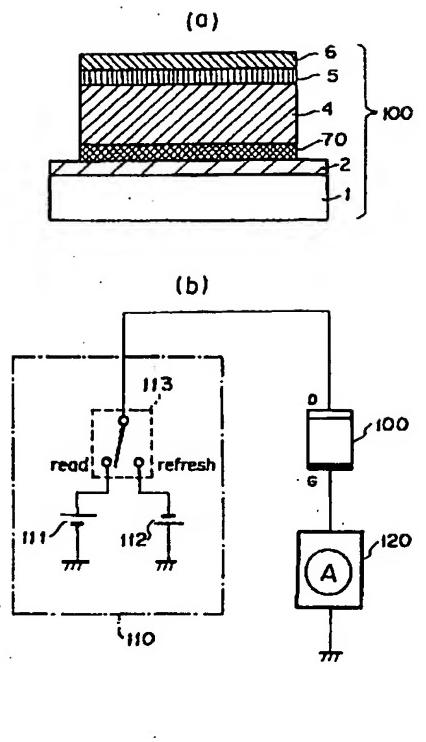
【図10】



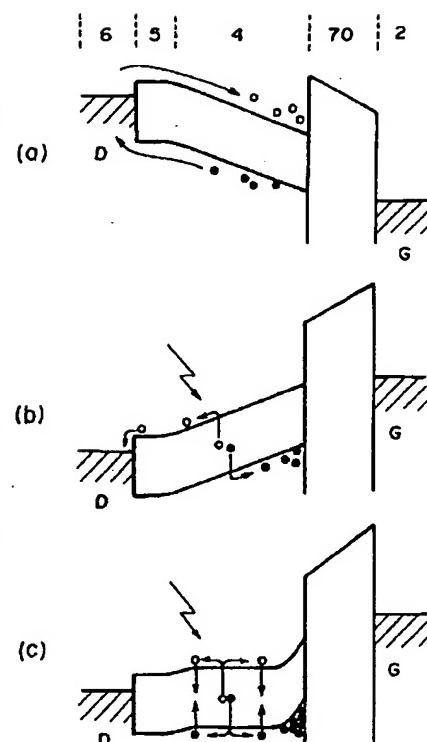
【図14】



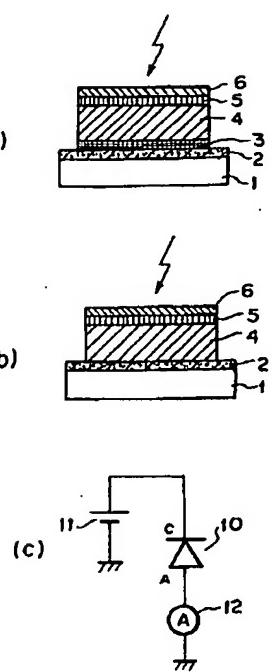
【図11】



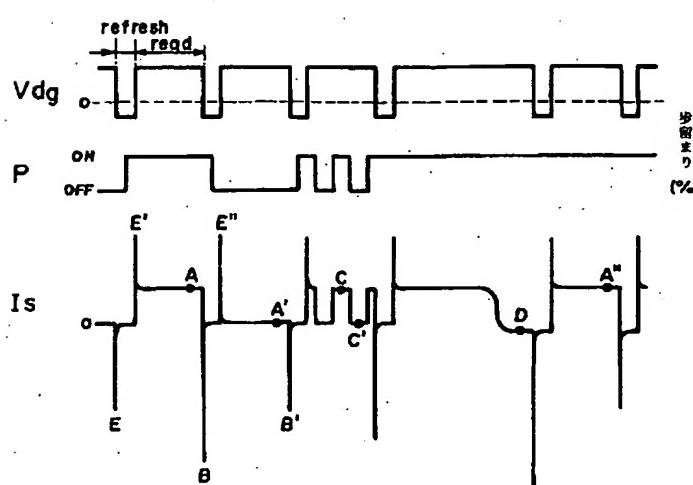
【図12】



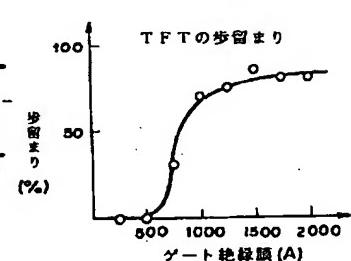
【図22】



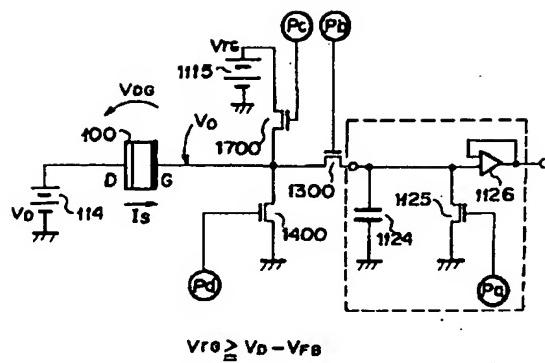
【図13】



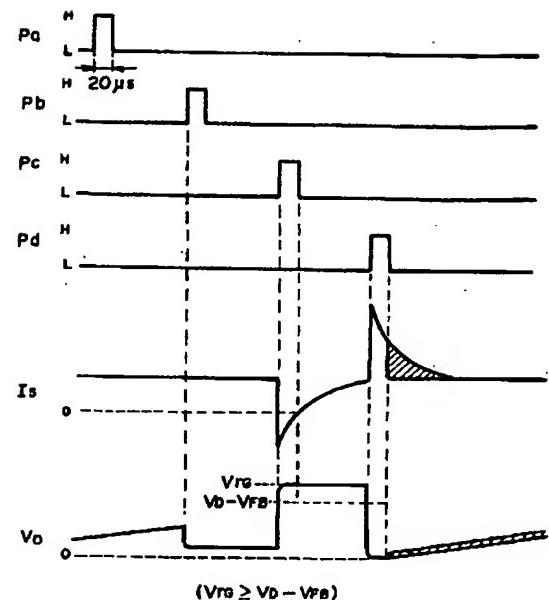
【図24】



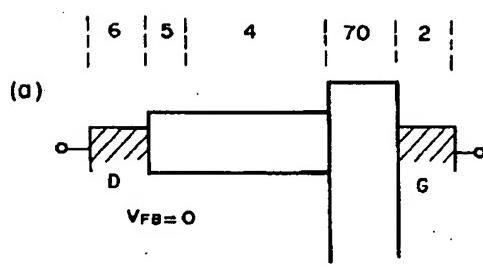
【図15】



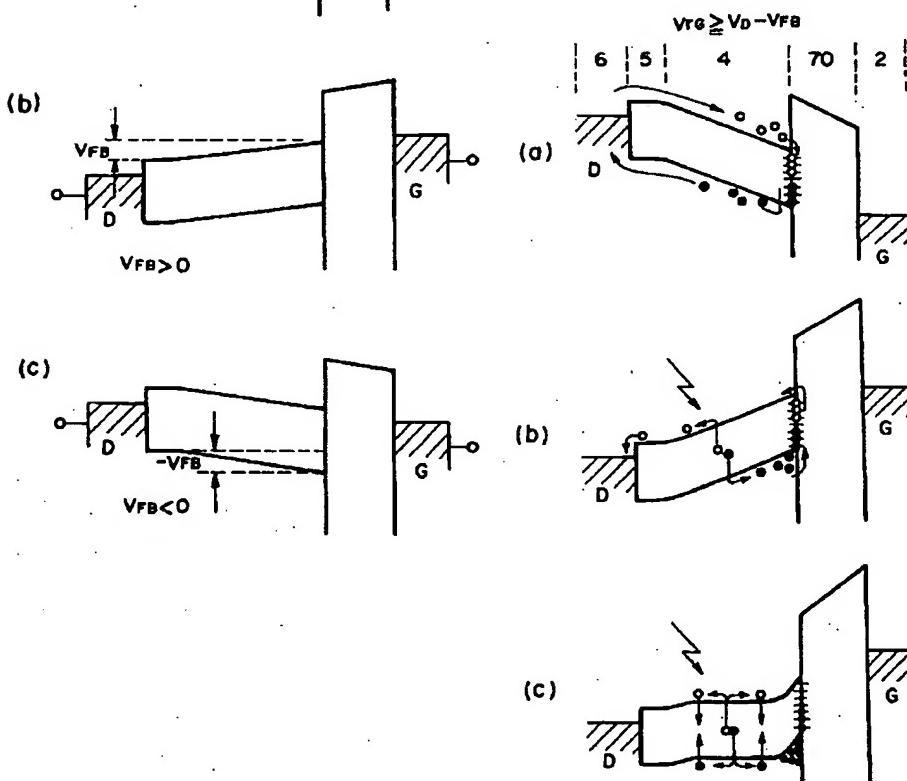
【図16】



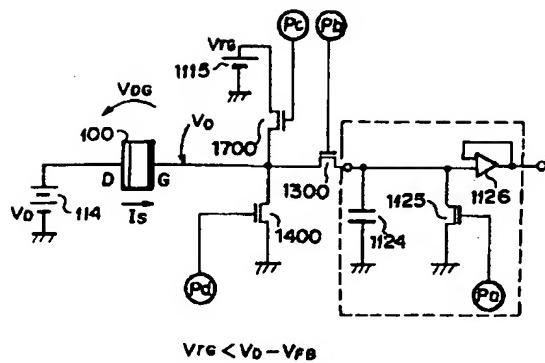
【図17】



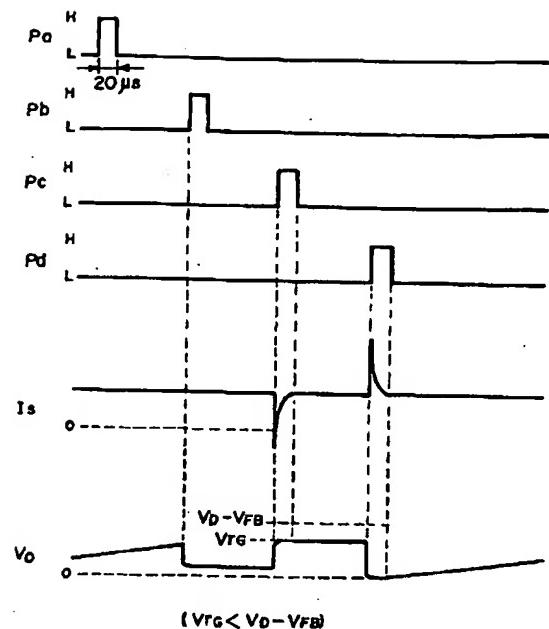
【図18】



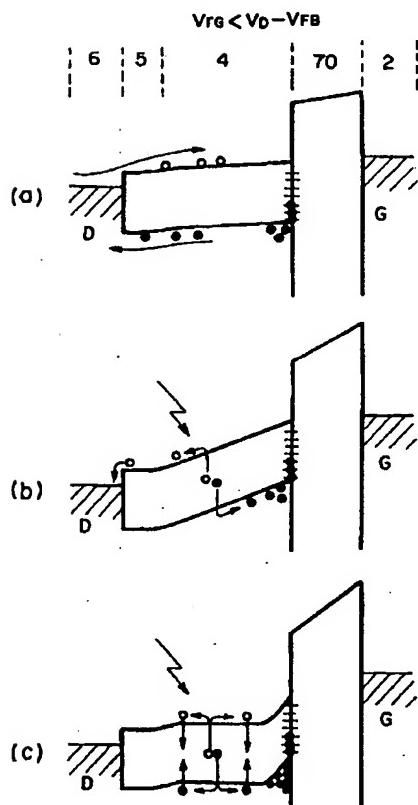
【図19】



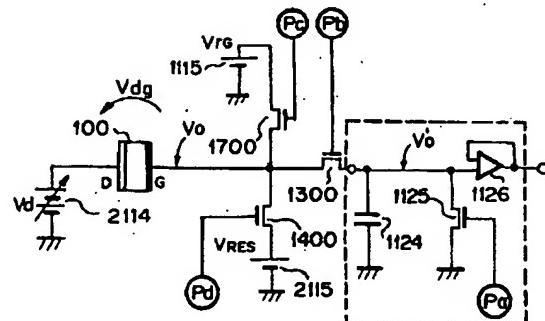
【図20】



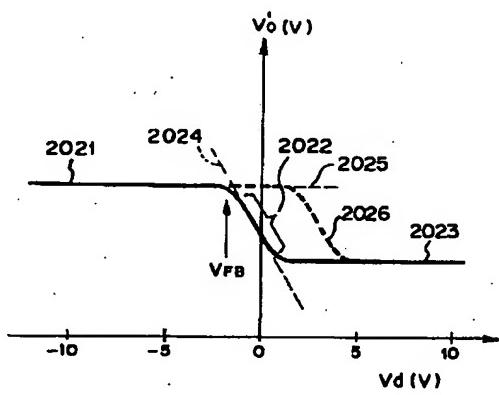
【図21】



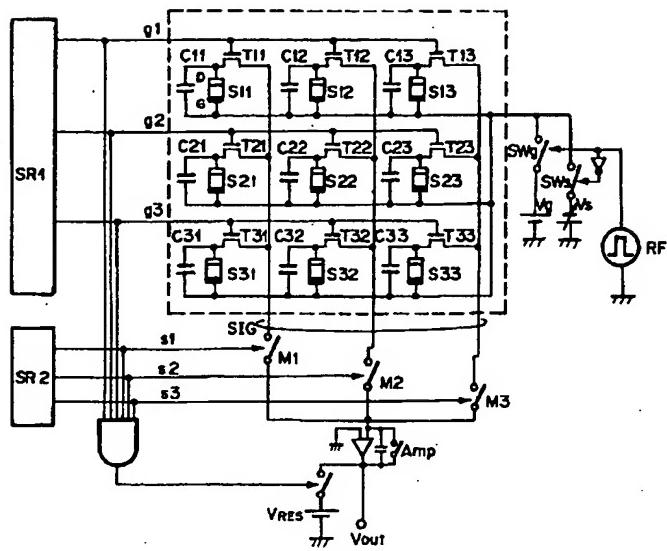
【図25】



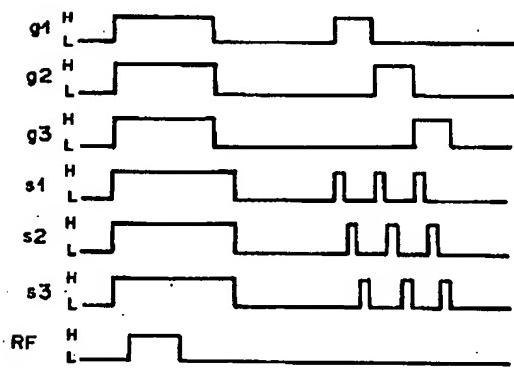
【図26】



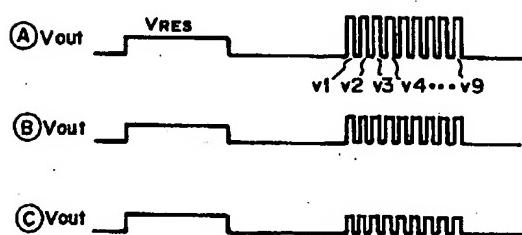
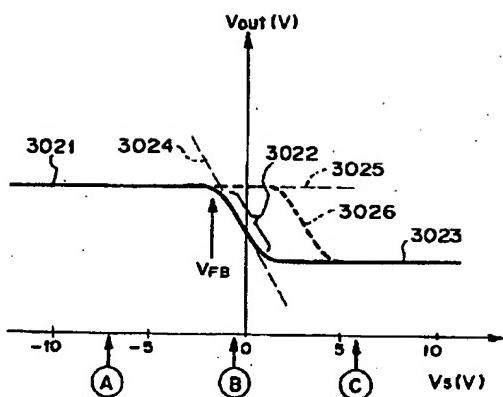
【図27】



【図28】



【図29】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成14年4月12日(2002.4.12)

【公開番号】特開平10-125891

【公開日】平成10年5月15日(1998.5.15)

【年通号数】公開特許公報10-1259

【出願番号】特願平8-282343

【国際特許分類第7版】

H01L 27/146

H04N 5/335

【F I】

H01L 27/14 C

H04N 5/335 P

【手続補正書】

【提出日】平成13年12月17日(2001.12.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】光電変換装置及びその駆動方法及びそれを有するシステム

【特許請求の範囲】

【請求項1】絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二の型のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置であって、前記光電変換素子のフラットバンド電圧測定手段と、該フラットバンド電圧測定手段による測定結果を用いたフラットバンド電圧シフト抑制手段を含む出力読み出し手段と、

前記フラットバンド電圧測定手段と前記出力読み出し手段とを切り替える第1のスイッチ手段と、を有し、前記フラットバンド電圧測定手段は、前記光電変換素子の各層に印加する電界を変化させ、該光電変換素子の半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得る手段を有し、

前記出力読み出し手段は、入射光量に応じて発生した電荷を読み出すための読み出し用電圧電源と、光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュ用電圧電源と、光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制用電圧電源

とを有するとともに、各電源を切り替えて、前記光電変換素子に印加する電位を切り替える第2のスイッチ手段を有することを特徴とする光電変換装置。

【請求項2】更に、フラットバンド電圧測定時に、前記光電変換素子のフラットバンド電圧に相当する電圧値を得るために前記光電変換素子に電界を印加するフラットバンド電圧測定用可変電圧電源を有することを特徴とする請求項1記載の光電変換装置。

【請求項3】前記フラットバンド電圧測定用可変電圧電源の電圧を変化させることにより、前記光電変換素子の容量値を変化させ、該光電変換素子に蓄積された電荷の変化を検出することにより、フラットバンド電圧を測定することを特徴とする請求項2記載の光電変換装置。

【請求項4】前記光電変換素子のフラットバンド電圧の移動を抑制するために、光電変換動作をしているときと逆方向の電界を前記光電変換素子に印加することを特徴とする請求項1~3のいずれか1項に記載の光電変換装置。

【請求項5】前記光電変換素子を一次元または二次元的に複数個配置し、前記光電変換素子毎に該光電変換素子選択用の第3のスイッチ素子を接続すると共に、全光電変換素子を複数のnブロックに分割し、各ブロック毎に前記第3のスイッチ素子を動作させることにより前記複数のnブロックに分割したn×m個の全光電変換素子の光信号をマトリクス信号配線により出力し、前記マトリクス信号配線の交差部が、少なくとも第一電極層、絶縁層、半導体層、第二の電極層の順の積層構造で構成され、各層が前記光電変換素子の第一の電極層、絶縁層、光電変換半導体層、第二の電極層の各層と同一層から形成されており、且つ同じ膜厚であることを特徴とする請求項1~4のいずれか1項記載の光電変換装置。

【請求項6】請求項1~5のいずれか1項記載の光電変換装置と、

該光電変換装置上に設けられた蛍光体と、

前記光電変換装置に入力される光情報を発生させるためのX線源と、  
前記光電変換装置からの信号を処理する信号処理手段と、  
前記信号処理手段からの信号を記録する為の記録手段と、  
前記信号処理手段からの信号を表示する為の表示手段と、  
前記信号処理手段からの信号を電送する為の電送手段と、  
を有することを特徴とするシステム。

【請求項7】 絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二の型のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置の駆動方法であって、

前記光電変換素子に印加する電界を変化させて、該光電変換素子の半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得るフラットバンド電圧測定モードと、

前記光電変換素子に印加する電圧を切り替えることにより駆動される、

(a) 入射光量に応じて電荷を発生し蓄積する光電変換モード；

(b) 光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモード；

(c) 光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制モード；

の各モードを含む出力読み出しモードと、を有し、

前記フラットバンド電圧測定モードと前記出力読み出しモードとを切り替えて駆動することを特徴とする光電変換装置の駆動方法。

【請求項8】 前記測定結果を用いて、前記光電変換素子のフラットバンド電圧の移動を抑えるために、前記フラットバンド電圧シフト抑制モードが、光電変換動作をしているときと逆方向の電界を前記光電変換素子に印加することを特徴とする請求項7記載の光電変換装置の駆動方法。

【請求項9】 前記光電変換素子を一次元または二次元的に複数個配置し、前記光電変換素子毎にスイッチ素子を接続すると共に、全光電変換素子を複数のnブロックに分割し、各ブロック毎に前記スイッチ素子を動作させることにより前記nブロックに分割したn×m個の光電変換素子の光信号をマトリクス信号配線により出力し、nブロック毎に各光電変換素子のフラットバンド電圧に相当する電圧値を得ることを特徴とする請求項7または

## 8記載の光電変換装置の駆動方法。

【請求項10】 絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二の型のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置の駆動方法であって、

光が入射しない状態で、前記光電変換素子に印加する電界を変化させて、該光電変換素子の半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得るフラットバンド電圧測定モードと、前記光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモードと、を有することを特徴とする光電変換装置の駆動方法。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は、光電変換装置、及びその駆動方法及びそれを有するシステムに係わり、たとえばファクシミリ、デジタル複写機あるいはX線撮像装置等の等倍読み取りを行うことの可能な一次元もしくは二次元の光電変換装置、及びその駆動方法、及びそれを有するシステムに関する。

#### 【0002】

【従来の技術】 従来、ファクシミリ、デジタル複写機あるいはX線撮像装置等の読み取り系としては縮小光学系とCCD型センサを用いた読み取り系が用いられていたが、近年、水素化アモルファスシリコン（以下、a-Siと記す）に代表される光電変換半導体材料の開発により、光電変換素子及び信号処理部を大面積の基板に形成し、情報源と等倍の光学系で読み取るいわゆる密着型センサの開発がめざましい。特にa-Siは光電変換材料としてだけでなく、薄膜電界効果型トランジスタ（以下TFTと記す）としても用いることができる所以光電変換半導体層とTFTの半導体層とを同時に形成することができる利点を有している。

【0003】 図22は、従来の光センサの構成を示す。図22(a)、図22(b)は二種類の光センサの層構成を示し、図22(c)は共通した代表的な駆動方法を示している。

【0004】 図22(a)、図22(b)共にフォトダイオード型の光センサであり、図22(a)はPIN型、図22(b)はショットキー型と称されている。

【0005】 図22において、1は絶縁基板、2は下部電極、3はp型半導体層（以下p層と記す）、4は真性半導体層（以下i層と記す）、5はn型半導体層（以下n層と記す）、および6は透明電極である。ショットキー型の図22(b)では下部電極2の材料を適当に選

び、下部電極2からi層4に電子が注入されないようショットキーバリア層が形成されている。

【0006】図22(c)において、10は上記光センサを記号化して表わした光センサを示し、11は電源、12は電流アンプ等の検出部を示している。光センサ10中Cで示された方向は図22(a)、図22(b)中の透明電極6側、Aで示された方向が下部電極2側であり、電源11はA側に対しC側に正の電圧が加わるよう設定されている。

【0007】ここで動作を簡単に説明する。矢印で示された方向から光が入射され、i層4に達すると、光は吸収され電子とホールが発生する。i層4には電源11により電界が印加されているため電子はC側、つまりn層5を通過して透明電極6に移動し、ホールはA側、つまり下部電極2に移動する。よって光センサ10に光電流が流れることになる。

【0008】また、光が入射しない場合は、i層4で電子もホールも発生せず、また、透明電極6内のホールはn層5がホールの注入阻止層として働き、下部電極2内の電子はPIN型の図22(a)ではp層3が、ショットキー型の図22(b)ではショットキーバリア層が電子の注入阻止層として働き、電子、ホール共に移動できず、電流は流れない。したがって光の入射の有無で電流が変化し、これを図22(c)の検出部12で検出すれば光センサとして動作する。

#### 【0009】

【発明が解決しようとする課題】しかしながら、上記従来の光センサでは、SN比が高く、低成本の光電変換装置を生産するのは困難であった。以下その理由について説明する。

【0010】第一の理由は、PIN型の図22(a)、ショットキー型の図22(b)は、共に2カ所に注入阻止層が必要なところにある。PIN型の図22(a)において、注入阻止層であるn層5は電子を透明電極6に導くと同時にホールがi層4に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光が入射しない時の電流（以下暗電流と記す）が発生、増加することになりSN比の低下の原因になる。この暗電流はそれ自身がノイズと考えられると同時にショットノイズと呼ばれるゆらぎ、いわゆる量子ノイズを含んでおり、たとえ検出部12で暗電流を差し引く処理をしても、暗電流に伴う量子ノイズを小さくすることはできない。通常この特性を向上させるため、i層4やn層5の成膜の条件や、作成後のアニールの条件の最適化を図る必要がある。

【0011】しかし、もう一つの注入阻止層であるp層3についても、電子ホールが逆ではあるが同等の特性が必要であり、同様に各条件の最適化が必要である。通常、前者n層の最適化と後者p層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは困難であ

る。つまり、同一光センサ内に二カ所の注入阻止層が必要なことは高SN比の光センサの形成を困難にする。これはショットキー型の図22(b)においても同様である。

【0012】また、ショットキー型の図22(b)においては、片方の注入阻止層にショットキーバリア層を用いているが、これは下部電極2とi層4の仕事関数の差を利用するもので、下部電極2の材料が限定されたり、界面の局在準位の影響が特性に大きく影響し、条件を満足させるのはさらに困難である。

【0013】また、さらにショットキーバリア層の特性を向上させるために、下部電極2とi層4の間に100オングストローム前後の薄いシリコンや金属の酸化膜、窒化膜を形成することも報告されているが、これはトンネル効果を利用し、ホールを下部電極2に導き、電子のi層4への注入を阻止する効果を向上させるもので、やはり仕事関数の差を利用して下部電極2の材料の限定は必要であるし、電子の注入の阻止とトンネル効果によるホールの移動という逆の性質を利用するため、酸化膜や窒化膜は100オングストローム前後と非常に薄いところに限定され、かつ、厚さや膜質の制御は難しく生産性を低下させられる。

【0014】また、注入阻止層が2カ所必要なことは、生産性を低下させ、コストもアップする。これは注入阻止層が特性上重要なため2カ所中1カ所でもゴミ等で欠陥が生じた場合、光センサとしての特性が得られないからである。

【0015】第二の理由を図23を用いて説明する。図23は薄膜の半導体層で形成した電界効果型トランジスタ(TFT)の層構成を示している。TFTは光電変換装置を形成するうえで制御部の一部として利用ことがある。図中、図22と同一なものは同番号で示してある。7はゲート絶縁膜であり、60は上部電極である。

【0016】形成法を順を追って説明する。絶縁基板1上にゲート電極として働く下部電極2、ゲート絶縁膜7、i層4、n層5、ソース、ドレイン電極として働く上部電極60を順次成膜し、上部電極60をエッチングによりソース、ドレイン電極を形成し、その後n層5をエッチングによりチャネル部を構成している。TFTの特性はゲート絶縁膜7とi層4の界面の状態に敏感で、通常その汚染を防ぐために同一真空中で連続に堆積する。

【0017】従来の光センサをこのTFT同一基板上に形成する場合、この層構成が問題となりコストアップや特性の低下を招く。この理由は図22で示した従来の光センサの構成が、PIN型の図22(a)が電極/p層/i層/n層/電極、ショットキー型の図22(b)が電極/i層/n層/電極という構成であるのに対し、TFTは電極/絶縁膜/i層/n層/電極という構成で両者が異なるからである。これは同一プロセスで形成でき

ないことを示し、プロセスの複雑化による歩留まりの低下、コストアップを招く。

【0018】また、i層/n層を共通化するにはゲート絶縁層7やp層3のエッチング工程が必要となり、先に述べた光センサの重要な層である注入阻止層のp層3とi層4が同一真空中で成膜できなかったり、TFTの重要なゲート絶縁膜7とi層4の界面がゲート絶縁膜のエッチングにより汚染され、特性の劣化やSN比の低下の原因になる。

【0019】また、前述した図22のショットキー型の図22(b)の特性を改善するため、下部電極2とi層4の間に酸化膜や窒化膜を形成したものは、膜構成の順は同一ではあるが、先に述べたように酸化膜や窒化膜は100オングストローム前後である必要があり、ゲート絶縁膜と共に用することは困難である。

【0020】図24は、ゲート絶縁膜とTFTの歩留まりについて、我々が実験した結果を示す。ゲート絶縁膜厚が1000オングストローム以下で歩留まりは急激に低下し、800オングストロームで約30%、500オングストロームで歩留まり0%、250オングストロームではTFTの動作すら確認できなかった。トンネル効果を利用した光センサの酸化膜や窒化膜と、電子やホールを絶縁しなければならないTFTのゲート絶縁膜を共用化することは明らかに困難であり、これをデータが示している。

【0021】またさらに、図示はしていないが、電荷や電流の積分値を得るのに必要となる素子である容量素子(以下コンデンサと記す)を従来の光センサと同一の構成でリークが少ない良好な特性のものを作るのは難しい。コンデンサは2つの電極間に電荷を蓄積するのが目的なため電極間の中間層には必ず電子とホールの移動を阻止する層が必要であるのに対し、従来の光センサは電極間に半導体層のみ利用しているため熱的に安定したリークの少ない良好な特性の中間層を得るのは難しいからである。

【0022】このように光電変換装置を構成するうえで重要な素子であるTFTやコンデンサとプロセス的にまたは特性的にマッチングが良くないことは複数の光センサを一次元もしくは二次元に多数配置し、この光信号を順次検出するようなシステム全体を構成するうえで工程が多くかつ複雑になるため、歩留まりが非常に悪く、低成本で高性能多機能な装置を作るうえで重大な問題になる。

【0023】次に、以前我々が提案した光電変換装置の先行技術及びそのリフレッシュ動作の説明を行う。

【0024】図11(a)は、我々が以前提案した光電変換装置の光電変換素子を説明するための模式的層構成図であり、図11(b)は、その光電変換装置の概略的回路図である。

【0025】図11(a)において、1はガラスなどで

形成される絶縁基板、2はAlやCrなどで形成される下部電極である。70は電子、ホール共に通過を阻止する窒化シリコン(SiN)などで形成される絶縁層であり、その厚さはトンネル効果により電子、ホールが通過できないほどの厚さである500オングストローム以上に設定される。4は水素化アモルファスシリコン(a-Si:H)の真性半導体i層で形成される光電変換半導体層、5は光電変換半導体層4に透明電極6側からのホールの注入を阻止するa-Siのn+層で形成される注入阻止層、透明電極6はITOのようなインジウム又はスズを含む化合物、酸化物などで形成される。

【0026】図11(b)において、100は図11(a)で示した光電変換素子を記号化したものでDが透明電極6側、Gが下部電極2側の電極を示している。120は検出部、110は電源部であり、電源部110はD電極に正の電位を与える正電源111、負の電位を与える負電源112の両者を切り換えるスイッチ113で構成される。スイッチ113はリフレッシュモードではrefresh側、光電変換モードではread側に接続されるよう制御される。

【0027】ここで光電変換素子100の動作について説明する。図12(a)、図12(b)はそれぞれ光電変換素子100のリフレッシュモードおよび光電変換モードの動作を示す光電変換部のエネルギー・バンド図で、光電変換素子の各層の厚さ方向の状態を表している。

【0028】リフレッシュモード(a)において、D電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは電界によりD電極に導かれ、同時に白丸で示された電子はi層4に注入される。この時一部のホールと電子はn層5、i層4において再結合して消滅する。充分に長い時間この状態が続ければi層4内のホールはi層4から掃き出される(図12(a))。

【0029】この状態で光電変換モード(b)になると、D電極はG電極に対して正の電位が与えられるためi層4中の白丸で示された電子は、瞬時にD電極に導かれる。しかし黒丸で示されたホールは、n層5が注入阻止層として働くためi層4に導かれる事はない。この状態でi層4内に光が入射すると光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導かれ、ホールはi層4内を移動し絶縁層70の界面に達する。しかし、絶縁層70内には移動できないため、i層4内に留まることになる。この時電子はD電極に移動し、ホールはi層4内の絶縁層70界面に移動するため、素子内の電気的中性を保つため、電流がG電極から検出部120に流れ。この電流は光により発生した電子・ホール対に対応するため入射した光に比例する(図12(b))。

【0030】ある期間、光電変換モード(b)を保った後、再びリフレッシュモード(a)の状態になると、i

層4内に留まっていたホールは前述のようにD電極に導かれ、同時にこのホールに対応した電荷が検出部120に流れる。このホールの量は光電変換モード期間に入射した光の総量に対応し、検出部120に流れる電荷は光の総量に対応する。この時i層4内に注入される電子の量に対応した電荷も流れるが、この量はおよそ一定なため差し引いて検出すればよい。

【0031】つまり、光電変換部100は、リアルタイムに入射する光の量を出力すると同時に、ある期間に入射した光の総量も出力することもできる。このことは我々が以前提案した構成例の大きな特徴といえる。検出部120は目的に応じてどちらか一方、もしくは両方を検出すればよい。

【0032】ここで図13を用いて我々が以前提案した光電変換装置の動作について説明する。

【0033】図13は、図11の光電変換装置における動作のタイミングチャートである。図中 $V_{dg}$ は光電変換部100のG電極に対するD電極の電位であり、Pは光の入射の状態を示し、オンで光が入射の状態、オフで光の入射がない。つまりダーク状態を示している。 $I_s$ は検出部120に流れ込む電流を示し、横軸方向は時間の経過を示す。

【0034】最初にスイッチ113がrefresh方向に接続されるとリフレッシュモードに入り、 $V_{dg}$ は負電圧となり、図12(a)のようにホールが掃き出され、また電子がi層4に注入されるにともない、検出部120には図13のEで示される負の突入電流Eが流れれる。

【0035】その後、リフレッシュモードは終了し、スイッチ113がread方向に接続されるとi層4内の電子が掃き出され、正の突入電流E'が流れ光電変換モードに入る。この時光が入射されているとAで示される光電流Aが流れれる。もし同様な動作でダーク状態であればA'で示されるように電流は流れない。よって光電流Aを直接、もしくは一定の期間、積分すれば光の入射を検出できる。

【0036】また、Aの状態からスイッチ113がrefresh方向に接続されると突入電流Bが流れれる。これは直前の光電変換モード期間における光の入射の総量に反映された量になり、この突入電流Bを積分もしくは積分相当の値を得ればよい。直前の光電変換モードで光が入射していなければ突入電流はB'のように小さくなり、その差を検出すれば、光の入射を検出できる。また前述の突入電流E'やE''はおよそ突入電流B'に等しいため、突入電流Bからこれらを差し引いてもよい。

【0037】また、さらに、同じ光電変換モード期間であっても光の入射の状態が変化すれば、C、C'のように $I_s$ は変化する。これを検出しても光の入射状態を検出できる。つまり、必ずしも検出機会ごとに毎回リフレッシュモードにする必要はないことを示している。しか

しながら、何らかの理由により、光電変換モードの期間が長くなったり、入射する光の照度が強い場合、Dのように光の入射があるにもかかわらず電流が流れないことがある。これは図12(c)のように、i層4内にホールが多数留まり、このホールのためi層4内の電界が小さくなり、発生した電子がD電極に導かれなくなり、i層4内のホールと再結合してしまうからである。この状態で光の入射の状態が変換すると、電流が不安定に流れることもあるが、再びリフレッシュモードにすればi層4内のホールは掃き出され、次の光電変換モードではA''のようにAと等しい電流が得られる。

【0038】以上の説明において、入射光は一定で説明したが、入射光の強弱によりA、B、Cの電流はともに連続的に変化し、入射光の有無の検出に限らず、強弱についても定量的に検出できることはいうまでもない。

【0039】また、前述の説明において、リフレッシュモードで、i層4内のホールを掃き出す場合、全てのホールを掃き出すのが理想であるが、一部のホールを掃き出すだけでも効果はあり、光電流であるAもしくはCにおいて全てを掃き出した場合と値は変わらず、問題はない。また、常に一定量が残るように掃き出せば、Bの電流によっても光の量を定量的に検出ができる。つまり、次の光電変換モードでの検出機会において電流値がDの状態、すなわち図12(c)の状態にならなければよく、リフレッシュモードの $V_{dg}$ の電圧、リフレッシュモードの期間、およびn層5の注入阻止層の特性を決めればよい。

【0040】また、さらに、リフレッシュモードにおいて、i層4への電子の注入は必要条件でなく、 $V_{dg}$ の電圧は負に限定されるものでもない。ホールの一部がi層4から掃き出されればよい。ホールが多数i層4に留まっている場合には、たとえ $V_{dg}$ が正の電圧であってもi層4内の電界はホールをD電極に導く方向に加わるからである。n層5の注入阻止層の特性も同様に電子をi層4に注入できることが必要条件ではない。

【0041】図14(a)、図14(b)、図14(c)、図14(d)は、それぞれ検出部の較正例を示したものである。121は電流Ampで代表される電流計、122は電圧計、123は抵抗器、124はコンデンサ、125はスイッチ素子、126はオペアンプである。

【0042】図14(a)は直接電流を検出するもので、電流計121の出力は電圧や、増幅された電流である。図14(b)は電流を抵抗器123に流して電圧を電圧計122で検出している。図14(c)は電荷をコンデンサ124に蓄積し、その電圧を電圧計122で検出している。図14(d)はオペアンプ126により電流の積分値を電圧として検出している。図14(c)、図14(d)においてスイッチ素子125は毎回の検出に対して初期値を与える役割をし、検出の方法によって

高抵抗の抵抗器に置き換えることも可能である。

【0043】電流計や電圧計は、トランジスタやこれを組み合せたオペアンプ、抵抗、コンデンサ等で構成し、高速で動作するものを使用することができる。検出部はこれら4種に限定するものではなく、電流もしくは電荷を直接もしくは積分値を検出できればよく、電流もしくは電圧値を検出する検出器と、抵抗器、コンデンサ、スイッチ素子を組合せ、複数の光電変換部を同時に順次出力するよう構成することもできる。

【0044】ラインセンサやエアリーセンサを構成する場合は、電源部の配線やスイッチ素子と組合せてマトリックスで1000個以上の光電変換部の電位を制御し、また検出する。この場合、スイッチ素子やコンデンサ、抵抗の一部は光電変換部と同一基板上に構成するとSN比や、コスト面で有利である。この場合、我々が以前提案した構成例の光電変換部は代表的なスイッチ素子であるTFTと同一膜構成のため同一プロセスで同時に形成することが可能であり低コストの高SN比の光電変換装置が実現できる。

【0045】次に、リフレッシュモードにおけるリフレッシュ電圧による光電変換装置の特性の違いについて以前我々が提案した光電変換装置を用いて説明する。

【0046】図15は、TFT1700及び電源1115で構成される光電変換装置の1ビット等価回路図であり、図16がその動作を示すタイミングチャートである。

【0047】ここでは、図15に示した光電変換装置の1ビット等価回路図を用いて、TFT1700を介して光電変換素子のG電極に正の電位を与える場合について、説明を行う。そして光電変換素子のD電極の電位は、電源1114により $V_D$ に設計され、リフレッシュ動作時のG電極の電位は電源1115により $V_{DG}$ に設定されるものとする。

【0048】まず、図11(a)に示すように光電変換素子100のG電極の電位( $V_G$ )をD電極の電位( $V_D$ )以上にリフレッシュする場合( $V_G = V_{DG} \geq V_D$ )について説明する。

【0049】このような状態にリフレッシュされると、光電変換素子100のi層4内に留まっていたホール及び電子がi層4と絶縁層70との界面に存在する界面欠陥にトラップされる。以下この電流を負の突入電流という。そしてリフレッシュ動作終了後、光電変換素子100のG電極の電位をGND電位等に初期化する時、i層4内及び界面欠陥にトラップされていた電子が全てD電極へ掃き出される。以下この電流を正の突入電流という。

【0050】i層4と絶縁層70との界面に存在する界面欠陥は一般にエネルギー準位が深い為、界面欠陥位置に存在する電子及びホールを移動させるエネルギー、及び他の位置から界面欠陥位置へ電子及びホールを移動さ

せるエネルギーは相対的に高く、見かけ上の移動度も低くなる。その為、正の突入電流がゼロになるまで即ち界面欠陥にトラップされていた電子の全てがD電極へ掃き出されるまで数十マイクロ秒から数秒かかることになり、G電極リセット動作が終了しても大きな突入電流が流れれる。その結果、G電極が持つ容量に蓄積された電荷の中にはノイズ成分である突入電流による電荷が含まれ、結果的にその電荷分SN比が低下してしまうのである。

【0051】上記の理由について、更に図15と図16を用いて詳細に説明する。図15のPa、Pb、Pc、Pdは、各々図15におけるスイッチ素子1125、転送用TFT1300、リフレッシュ用TFT1700、リセット用TFT1400を駆動するパルスのタイミングを示している。ここでHは各駆動素子をオン状態にするハイレベルを示しており、一般に結晶シリコン半導体スイッチ素子では+5V～+12V、a-Si TFTでは+8V～+15V位が用いられる。又、Lは一般的に0Vが多く用いられる。

【0052】IsとVoは、図15中の矢印で示す様に、各々光電変換素子100に一定の信号光が照射された状態において、矢印の方向へ流れる電流とG電極の電位を示している。

【0053】ここで、図16は、Pa～Pdのパルス幅を20μsの動作時におけるIsとVoを示す図である。

【0054】図16において、VoはPcのリフレッシュ用パルス立ち上がりから、Pdのリセット用パルス立ち上がりまで一定の高い電位に保たれている。その為、正の突入電流はその間に発生せず、Pdのパルス立ち上がり時に初めて、界面欠陥にトラップされていた電子の掃き出しによると考えられる正の突入電流が発生している。この正の突入電流が減衰しほぼゼロになるまで、我々の作製した装置では約80～100μsかかる為、G電極がもつ容量に信号電荷を蓄積し始めるPdのパルスの立ち下がり時には、正の突入電流が多く発生しており、図中の斜線で示した部分の電荷及び電圧値がノイズ成分として蓄積されてしまうのである。その結果蓄積分SN比が低下してしまうのである。

【0055】正の突入電流を低減する方法としては、Pdの初期化パルスの時間を長くすることが考えられるが、その時間にも限界があり、又時間を長くすることにより装置全体の信号読み取り時間が長くなり、装置の低速化即ち性能ダウンを引き起こすことになる。

【0056】次に図17を用いて光電変換素子100をリフレッシュさせる時の印加電圧の条件について説明する。図17は光電変換素子100のエネルギーバンド図であり、両端の各々の電極(D電極及びG電極)は開放(オープン)状態である。光電変換素子100は一般にいわれているMIS(Metal-Insulator

- Semiconductor) 構造であり、両端の電極に加わる電圧条件により全容量が相対的に小さい状態(デプレッション状態)と全容量が相対的に大きい状態(アキュムレーション状態)が現れる。

【0057】図17における各デバイスの両端はオープンであるが、エネルギーーバンド図については図17(b)の場合が上記デプレッション状態のエネルギーーバンド図と同じであり、図17(c)の場合がアキュムレーション状態のエネルギーーバンド図と同じである。

【0058】一般にMISコンデンサは、作製直後において図17の(a)の状態即ちi層のバンドがフラットな状態(フラットバンド電圧 $V_{FB} = 0\text{V}$ )又は図17(b)の状態即ち若干デプレッション状態( $3\text{V} \geq V_{FB} > 0\text{V}$ )である事が多い。又、MISコンデンサの両端に電圧を加える事により $V_{FB}$ はある程度任意の正及び負の値にする事も可能である。

【0059】ここで図11に示す1ビット回路を図13に示すタイミングで駆動する場合、リフレッシュ時間は光電変換時間より短くすることが可能となる。2次元的に光電変換素子を配列しマトリクス駆動を行う場合は光電変換素子の数が増えれば増えるほどリフレッシュ時間と光電変換時間の比は大きくなる。

【0060】一般にMIS型コンデンサのフラットバンド電圧 $V_{FB}$ は、電界、時間、温度に大きく依存することが知られているが、上述の光電変換素子はリフレッシュ時においてフラットバンド電圧 $V_{FB}$ は正の電圧方向へ移動し、反対に光電変換時にはフラットバンド電圧 $V_{FB}$ は負の電圧方向へ移動する。

【0061】よって図11に示す光電変換装置における光電変換素子はフラットバンド電圧 $V_{FB}$ が結果的に負の電圧方向に移動し、光電変換素子のダイナミックレンジを小さくしてしまう。そうなると、光電変換装置としてのS/N比は小さくなり、安定した特性が得られなくなってしまう。

【0062】又、ここで正の突入電流(減衰時間が長く、且つ電流値が大であること)をもたらす電圧値の条件を以下においてまとめる。

【0063】まず、光電変換素子100のi層のフラットバンド電圧 $V_{FB}$ がゼロの時はリフレッシュ時のG電極の電位( $V_{rg}$ )はD電極の電位( $V_D$ )より高ければ、即ち $V_{rg} > V_D$ であれば、上述した問題の正の突入電流が流れれる。

【0064】又、光電変換素子100のi層のフラットバンド電圧 $V_{FB}$ がゼロでない時はリフレッシュ時のG電極の電位( $V_{rg}$ )はD電極の電位( $V_D$ )から $V_{FB}$ を差し引いた電圧値よりも高ければ、即ち $V_{rg} \geq V_D - V_{FB}$ であれば上述した問題の正の突入電流が流れるのである。

【0065】上記のメカニズムを図18を用いて説明する。

【0066】図18は、 $V_{rg} \geq V_D - V_{FB}$ の場合の光電変換素子100のエネルギーーバンド図で図11(a)の2から6各層の厚さ方向の状態を表している。

【0067】リフレッシュ動作の図18(a)において、D電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは、電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。又、i層4と絶縁層70の界面欠陥にトラップされていたホールはある程度の時間を費しD電極に導かれ、i層4に注入された電子のうち一部は、逆に、ある程度の時間を費してi層4と絶縁層70の界面欠陥にトラップされる。この時一部のホールと電子はn層5、i層4において再結合して消滅する。十分に長い時間この状態が続ければi層4内のホールはi層4から掃き出される。

【0068】この状態で光電変換動作の図18(b)になると、D電極はG電極に対して正の電位が与えられるためi層4中の電子は瞬時にD電極に導かれる。そしてi層4と絶縁層70の界面欠陥にトラップされていた電子は、ある程度時間を費してD電極へ導かれる。この界面欠陥にトラップされていた電子が前述した問題の突入電流の原因である。ここでホールはn層5が注入阻止層として働く為、i層4に導かれることはない。この状態でi層4内に光が入射すると、光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導かれ、ホールはi層4内を移動し i 層4と絶縁層70の界面に達する。しかし、絶縁層70内には移動できない為、i層4内に留まることになる。そしてある期間光電変換動作の図18(b)を保った後の状態が図18(c)である。

【0069】次に、このようなリフレッシュ条件における光電変換素子100のダイナミックレンジ(D·R)について説明する。図15に示される光電変換素子100のD·Rを電荷量で示すと、 $D \cdot R = V_{rg} \times C_s$ となる。ここで $C_s$ は光電変換素子100の容量である。よって、光電変換素子100のダイナミックレンジ(D·R)はリフレッシュ電圧 $V_{rg}$ が高いほど大きくなる。そのため光電変換素子100に照射される信号光が多く得られる場合は光による信号量を多く得ができるのでS/N比が大きくなる。

【0070】次に、光電変換素子100のG電極の電位( $V_g$ )以下にリフレッシュする場合( $V_{rg} < V_D - V_{FB}$ )について説明する。

【0071】図19は、光電変換装置の1ビットの概略的等価回路図である。また、図20は図19の光電変換装置を実際に駆動した時のタイミングチャートである。

【0072】図19において、図15と同じ番号で示される部分については同じものを示しているので説明は省略する。図15に示される概略的等価回路と図19に示される概略的等価回路との違いはTFT1700に接続

される電源の大きさである。なお、ここで光電変換素子 100 は図 11 (a) と同一の構造をしているので、i 層と第 2 の電極層との間の注入阻止層は n 型であり、注入が阻止されるキャリアはホールである。その為注入が阻止されるキャリア 1 個の電荷を  $q$  とするとこの場合も  $q > 0$  となる。

【0073】なお、図 19において、信号検出部は図 19 の点線内の検出手段と TFT 1300 及びハイレベルパルス Pb を印加する手段を含む。

【0074】図 19において、図 15 と異なる点は、光電変換素子 100 のリフレッシュ動作において、G 電極に正の電位を与える電源 1115 の電位  $V_{rg}$  が、D 電極に正の電位を与える電源 114 の電位  $V_D$  に比べて低くしている点のみである。詳細にいえば、光電変換素子 100 には、i 層のエネルギー・バンドをフラットにする為に G 電極に印加するフラット・バンド電圧 ( $V_{FB}$ ) が存在するので、実際には、図 15 の例では  $V_{rg} \geq V_D - V_{FB}$  の状態で駆動していたのに対し、図 19 では  $V_{rg} < V_D - V_{FB}$  の状態で駆動するのである。

【0075】次に図 20において、 $V_{rg} < V_D - V_{FB}$  の状態での光電変換装置の動作を説明する。

【0076】図 20において、図 16 と異なる点は、光電変換素子 100 の電流  $I_s$  と電流  $I_s$  による G 電極の電位  $V_D$  の振舞いである。

【0077】図 20において、Pc のリフレッシュ・パルスが立ち上がり、光電変換素子 100 の G 電極に電圧  $V_{rg}$  ( $V_{rg} < V_D - V_{FB}$ ) が印加されると光電変換素子 100 の i 層内に留まっていたホールの一部が D 電極に掃き出される。この時、i 層と絶縁層の界面欠陥にトラップされていたホールのほぼ全てはそのままの状態であると考えられる。又、この時電子は D 電極に掃き出された一部のホールに相当する量もしくはそれ以下の数量が D 電極から i 层内へ流れ込むが、i 层内における電界は G 電極側の電位が低い為、i 层と絶縁層の界面欠陥にトラップされる電子はほぼゼロであると考えられる。よって図 20 における  $I_s$  は  $P_c$  のリフレッシュ・パルス立ち上がり時において小さな負の突入電流しか生じることなく、又減衰時間も短くなっている。

【0078】又、 $P_c$  のリフレッシュ・パルス立ち上がりから  $P_d$  の G 電極リセット・パルス立ち上がりまでの G 電極の電圧  $V_D$  は  $V_{rg}$  にはほぼ一致しており、その電位は  $V_D - V_{FB}$  より下がっていることを図 20 は示している。

【0079】次に、G 電極リセット・パルスが立ち上がり、光電変換素子 100 の G 電極が GND に接地されると i 层内に留まっていた若干の電子は全て D 電極に流れ出すことになる。この時、i 层と絶縁層の界面欠陥には電子は存在しない為、電子は少量で且つ瞬時に流れ出ると考えられる。又、この時界面欠陥に存在するホールはほとんど移動しないと思われる。よって  $P_d$  の G 電極リセット・パルス立ち上がり時において、 $I_s$  は小さな正の

突入電流しか生じることなく、又減衰時間も短くなっている。 $P_d$  の G 電極リセット・パルスの立ち上がりから立ち下がりまでを約 20 マイクロ秒で動作させると、図のように光電変換動作開始となる  $P_d$  のパルスの立ち下がり時には、ほぼ突入電流はゼロになる。よって  $P_d$  のパルスの立ち下がりから蓄積されはじめる電荷は、ほぼすべてが光電変換素子 100 内に入射した信号光による電荷となり、その信号電圧を読み出すことにより S/N 比の高い情報を得ることが可能となる。

【0080】我々が以前提案した構成例における基本的なメカニズムについて図を用いてさらに以下で説明する。

【0081】図 21 (a) ~ 図 21 (c) は  $V_{rg} < V_D - V_{FB}$  の場合の光電変換素子 100 の動作を示すエネルギー・バンド図であり、図 18 (a) ~ 図 18 (c) に示したエネルギー・バンド図に対応している。

【0082】リフレッシュ動作の図 21 (a) において D 電極は G 電極に対して正の電位が与えられている為、i 層 4 中の黒丸で示されたホールの一部が電界により D 電極に導かれる。同時に白丸で示された電子は i 層 4 に注入される。ここで i 層 4 と絶縁層 70 の界面欠陥にトラップされていたホールはほとんど移動せず、又電子が界面欠陥にトラップされることもない。

【0083】この状態で光電変換動作の図 21 (b) になると、G 電極は D 電極に対して更に大きな負の電位が与えられる為、i 層 4 中の電子は瞬時に D 電極に導かれるが、界面欠陥にトラップされた電子はほとんど存在しない為、先に説明した図 15 の光電変換装置で問題となる突入電流はほとんど存在しなくなる。

【0084】そしてある期間、光電変換動作の図 21 (b) を保った後の状態の図 21 (c) になる。

【0085】このように  $V_{rg} < V_D - V_{FB}$  の条件にリフレッシュする場合においては、i 層 4 と絶縁層 70 の界面欠陥に電子が存在することはほとんどない為、電子の出入りに長い時間を費すことがなくなり、結果的にノイズ成分となる突入電流を大きく削減することが可能となる。

【0086】しかしながら、このようなりフレッシュ条件では、図 19 に示される光電変換素子 100 のダイナミックレンジ (D · R) は、 $D · R = V_{rg} \times C_s$  となり、 $V_{rg} \geq V_D - V_{FB}$  の場合に比べて  $V_{rg} < V_D - V_{FB}$  の場合のダイナミックレンジは小さくなる。その為信号処理が多い場合には、信号光による発生電荷が飽和し、S/N 比を下げる事が生じる。

【0087】ここで以前我々が提案した光電変換装置において、S/N 比を保ち特性を安定させるべき項目について再度説明する。

【0088】図 11 (b) に示す 1 ビット回路を図 13 に示すタイミングで駆動する場合、リフレッシュ時間は光電変換時間より短くすることが可能となる。2 次元的

に光電変換素子を配列しマトリクス駆動を行う場合は光電変換素子の数が増えれば増えるほどリフレッシュ時間と光電変換時間の比は大きくなる。

【0089】一般に、MIS型コンデンサのフラットバンド電圧 $V_{FB}$ は、電界、時間、温度に大きく依存することが知られているが、本発明の光電変換装置における光電変換素子はリフレッシュ時においてフラットバンド電圧 $V_{FB}$ は正の電圧方向へ移動し、反対に光電変換時にはフラットバンド電圧 $V_{FB}$ は負の電圧方向へ移動する。

【0090】よって図11に示す光電変換装置における光電変換素子はフラットバンド電圧 $V_{FB}$ が結果的に負の電圧方向に移動し、光電変換素子のダイナミックレンジを小さくしてしまう。そうなると、光電変換装置としてのSN比は小さくなり、安定した特性が得られなくなってしまうという解決すべき課題がある。

#### 【0091】[発明の目的]

本発明は、SN比が高く、特性が安定している光電変換装置、及びその駆動方法及びそれを有するシステムを提供することを目的とする。

【0092】具体的には、本発明の光電変換装置は、光電変換素子のフラットバンド電圧の移動を測定するために、光電変換モードでの光電変換素子の各層に印加する電界を変化させ、半導体層に蓄積される第一の型のキャリアもしくは第二の電極層に導かれた第二の型のキャリアを検出することにより、光電変換素子のフラットバンド電圧に相当する電圧値を得、その結果を用いて、フラットバンド電圧を元に戻すことにより、結果的にダイナミックレンジを小さくしないこと、即ちSN比が高く、特性が安定していることを目的とする。

【0093】更に具体的には、本発明の光電変換装置は、光電変換素子のフラットバンド電圧の移動を抑えるために、光電変換動作をしているときと逆方向の電界を光電変換素子に印加し、結果的にダイナミックレンジを小さくしないこと、即ちSN比が高く、特性が安定していることを目的とする。

【0094】加えて本発明は、TFTと同一プロセスで形成することが可能で、生産プロセスの複雑化を生じること無く、低コストで作製可能な光電変換装置、及びその駆動方法及びそれを有するシステムを提供することを目的とする。

【0095】又、本発明は、歩留まりが高く、特性が安定している光電変換装置及びそれを有するシステムを提供することを目的とする。

#### 【0096】

【課題を解決するための手段及び作用】本発明は、上記課題を解決するための手段として、絶縁基板上に、第一の電極層、第一の型のキャリア及び前記第一の型のキャリアとは正負の異なる第二の型のキャリアの通過を阻止する第一の絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を堆積した光電変換素子を有する光電変換装置の駆動方法であつて、前記光電変換素子に印加する電界を変化させて、該光電変換素子の半導体層に蓄積される第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出することにより、前記光電変換素子のフラットバンド電圧に相当する電圧値を得るフラットバンド電圧測定モードと、前記光電変換素子に印加する電圧を切り替えることにより駆動される、

(a) 入射光量に応じて電荷を発生し蓄積する光電変換モード；  
(b) 光電変換素子内に蓄積された電荷をリフレッシュするリフレッシュモード；  
(c) 光電変換素子のフラットバンド電圧の移動を抑制するフラットバンド電圧シフト抑制モード；  
の各モードを含む出力読み出しモードと、を有し、前記フラットバンド電圧測定モードと前記出力読み出しモードとを切り替えて駆動することを特徴とする光電変換装置の駆動方法を提案する。

【0098】更に、本発明は、光電変換装置が蛍光体を有し、該光電変換装置からの信号を処理する信号処理手段と、前記信号処理手段からの信号を記録する為の記録手段と、前記信号処理手段からの信号を表示する為の表示手段と、前記信号処理手段からの信号を電送する為の

電送手段と、前記光電変換装置に入力される光情報を発生させるためのX線源を有するシステムを提供する。

【0099】 [作用]

本発明によれば、光電変換素子のフラットバンド電圧の移動を測定するために、光電変換モードでの光電変換素子の各層に印加する電界を変化させ、半導体層に蓄積される第一の型のキャリアもしくは第二の電極層に導かれた第二の型のキャリアを検出することにより、光電変換素子のフラットバンド電圧に相当する電圧値を得、その結果を用いて、フラットバンド電圧を元に戻すことにより、結果的にダイナミックレンジを小さくしないこと、即ちSN比が高く、特性が安定した光電変換装置とすることができる。

【0100】更に、本発明によれば、光電変換素子のフラットバンド電圧の移動を抑えるために、光電変換動作をしているときと逆方向の電界を光電変換素子に印加することにより、結果的にダイナミックレンジを小さくしないこと、即ちSN比が高く、特性を安定にすることができる。

【0101】加えて本発明によれば、TFTと同一プロセスで形成することが可能で、生産プロセスの複雑化を生じること無く、低成本で作製可能な光電変換装置、及びその駆動方法及びそれを有するシステムを提供することができる。

【0102】更に又、本発明によれば、歩留まりが高く、特性が安定している光電変換装置及びそれを有するシステムを提供することができる。

【0103】

【発明の実施の形態】以上の点を鑑み、本発明において新たに考案した実施例が以下に示すものである。

【0104】 [実施例1]

【構成】

図1は、本発明の第1の実施例に係る光電変換装置の全体回路図である。

【0105】図1において、S11～S33は光電変換素子で下部電極側をG、上部電極側をDで示している。C11～C33は蓄積用コンデンサ、T11～T33は転送用TFTである。V<sub>g1</sub>はリフレッシュ用電源、V<sub>a1</sub>はフラットバンド電圧を観測するための可変電圧電源であり、全光電変換素子S11～S33のG電極の電位をリセットするものであり上述したV<sub>d</sub>と同じ働きをする。各電源は各々スイッチSW<sub>s1</sub>、スイッチSW<sub>g1</sub>を通して全光電変換素子S11～S33のG電極に接続されている。ここで、スイッチSW<sub>s1</sub>、スイッチSW<sub>g1</sub>は直接にタイミングパルスRFに接続されており、スイッチSW<sub>s1</sub>、スイッチSW<sub>g1</sub>は同時にオンしないように制御されている。又、各スイッチのオン時間は任意の設定が可能である。

【0106】また、図1において、1画素は1個の光電変換素子とコンデンサ、およびTFTで構成され、その

信号出力は信号配線SIGにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計9個の画素を3つのブロックに分け1ブロックあたり3画素の出力を同時に転送しこの信号配線SIGを通して検出用集積回路ICによって順次出力に変換され出力される(V<sub>out</sub>)。また1ブロック内の3画素を横方向に配置し、3ブロックを順に縦に配置することにより各画素を二次元的に配置している。図中破線で囲んだ部分は大面積の同一絶縁基板上に形成されている。

【0107】又、図2(a)は本実施例中の1画素に相当する各素子の平面図、図2(b)は図2(a)のA-B線断面図である。

【0108】図2において、S11は光電変換素子、T11はTFT、C11はコンデンサ、およびSIGは信号配線である。本実施例においてコンデンサC11と光電変換素子S11とは特別に素子を分離しておらず、光電変換素子S11の電極の面積を大きくすることによりコンデンサC11を形成している。これは本実施例の光電変換素子とコンデンサが同じ層構成であるから可能なことである。また、画素上部にはバッシャーベーション用窒化シリコン膜SiNとヨウ化セシウム等の蛍光体CsIを形成する事も考えられ、上方よりX線(X-ray)が入射すると蛍光体CsIにより、光(図2(b)の破線矢印)に変換され、この光が光電変換素子に入射されることも可能となる。

【0109】 [フラットバンド電圧測定モードの説明] 次に、図1、図3、図5を用いて図1においてタイミングパルスSELがHiの場合、即ちタイミングパルスRF1の側の回路が選択されフラットバンド電圧を測定する場合の動作について説明する。

【0110】図3は、本実施例の図1においてタイミングパルスSELがHiの場合、即ちタイミングパルスRF1の側の回路が選択されフラットバンド電圧を測定する場合の動作を示すタイミングチャートである。

【0111】 [リフレッシュモード]

はじめに、図1に示す、シフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンして導通し、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側はV<sub>RES</sub>電位になる。これは、光電変換素子100のG側の電位をGNDではなくプラス側の電位V<sub>RES</sub>にリセットし、このリセットによる光電変換素子100に蓄積された電荷を転送用TFTで電荷を転送することと同じであり、転送用TFT・T11～T33を用いてAmp側に転送することにより積分検出器Amp側の電位V<sub>out</sub>は常にプラスの電位となる。

【0112】同時にタイミングパルスRF1にHiを出力してスイッチSW<sub>g1</sub>がオンし、全光電変換素子S11～S33のG電極はリフレッシュ用電源電位V<sub>g1</sub>にな

る。その後、全光電変換素子S11～S33はリフレッシュモードになりリフレッシュされる。

【0113】また、前述した図16においては、光電変換素子100に光信号が入射する事が前提であり、光電変換素子100の光電流Isが生成されていたが、本実施例の全光電変換素子S11～S33の状態は、暗状態にしてあり、光入射量はゼロにしてある。

【0114】[フラットバンド電圧測定モード]

図3において、g1～g3の信号がLoになり、s1～s3の信号がHiの状態になると、積分検出器Ampの入力端子はGND電位に設計されているため、VoutはGNDになる。すると全光電変換素子S11～S33は光電変換モードになり同時にコンデンサC11～C33は初期化される。

【0115】次にシフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にLoが印加される。すると転送用TFT・T11～T33のスイッチM1～M3がオフし全光電変換素子S11～S33のD電極はDC的にはオープンになるがコンデンサC11～C33によって電位は保持される。

【0116】つぎにシフトレジスタSR1により制御配線g1にHiの制御パルスが印加され、シフトレジスタSR2の制御配線s1～s3への制御パルス印加によって転送用TFT・T11～T33、スイッチM1～M3を通してv1～v3が順次出力される。これにより全光電変換素子S11～S33の容量に相当する二次元的情報がv1～v9として得られる。

【0117】ここで、模擬的なC-V特性の説明をする。

【0118】図5は、模擬的なC-V特性を示す図であり、図1における可変電圧Vs1電源を、図5のA、B、Cのように変化させることにより、全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する。その様子を示すのが図3のVout A、B、Cである。

【0119】これを見ると、可変電圧Vs1電源を変化させることにより、全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する様子が判り、結果的に擬似的なC-V特性即ちフラットバンド電圧を得られることが確認できる。

【0120】[出力読み出しモードの説明]

次に、図1において、タイミングパルスSELがLoの場合、即ちSR3の側の回路が選択され、フラットバンド電圧の移動を抑制するモードを含む出力読み出しモードとなった場合の説明を行う。

【0121】図1において、Vs2は読み出し用電源、Vg2はリフレッシュ用電源、Vcはフラットバンド電圧シ

フト抑制用電源であり、各電源は各々スイッチSWs、スイッチSWg、スイッチSWcを介して全光電変換素子S11～S33のG電極に接続されている。ここで、センサのG電極に印加される各電源の電位は $V_c > V_{g2} > 0 > V_{s2}$ と設定している。スイッチSWg2、スイッチSWg2、スイッチSWcは直接にシフトレジスタSR3に接続されており、スイッチSWg2、スイッチSWg2、スイッチSWcは同時にオンしないように制御されている。又、各スイッチのオン時間は任意に設定可能である。

【0122】図4は、本実施例の出力読み出しモードのタイミングチャートであり、図1乃至図4を用いて本実施例の光電変換装置の動作について説明する。

【0123】[リフレッシュモード]

はじめに、シフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンし導通し、全光電変換素子S11～S33のD電極はGND電位になる（積分検出器Ampの入力端子はGND電位に設計されているため）。同時にシフトレジスタSR3がRF2にHiを出力してスイッチSWg2がオンし全光電変換素子S11～S33のG電極はリフレッシュ用電源電位 $V_{g2}$ になる。リフレッシュ用電源の $V_{g2} > 0$ を選択した場合は、先に図15で説明した $V_{rg} \geq V_D - V_{FB}$ と同じ条件になる為、先に説明したように $V_{g2} < 0$ を選択した図19の $V_{rg} < V_D - V_{FB}$ の条件と比較して突入電流が多く発生し、ノイズが増える。しかしながら光電変換素子のダイナミックレンジは増大する。その後全光電変換素子S11～S33はリフレッシュモードになりリフレッシュされる。

【0124】[読み取りモード]

つぎに、シフトレジスタSR3がRF2にLoを、REにHiを出力しスイッチSWg2がオフし、スイッチSWs2がオンし、全光電変換素子S11～S33のG電極は読み取り用電源Vs2により負電位になる。すると全光電変換素子S11～S33は光電変換モードになり同時にコンデンサC11～C33は初期化される。この状態でシフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にLoが印加される。すると転送用TFT・T11～T33のスイッチM1～M3がオフし全光電変換素子S11～S33のD電極はDC的にはオープンになるがコンデンサC11～C33によって電位は保持される。しかしこの時点ではX線は入射されていないため全光電変換素子S11～S33には光は入射されず光電流は流れない。

【0125】この状態でX線がパルス的に出射され人体等を通過し蛍光体CsIに入射されると光に変換され、その光がそれぞれの光電変換素子S11～S33に入射する。この光は人体等の内部構造の情報が含まれている。この光により流れた光電流は電荷としてそれぞれの

コンデンサC11～C33に蓄積されX線の入射終了後も保持される。つぎにシフトレジスタSR1により制御配線g1にHiの制御パルスが印加され、シフトレジスタSR2の制御配線s1～s3への制御パルス印加によって転送用TFT・T11～T33、スイッチM1～M3を通してv1～v3が順次出力される。これにより人体等の内部構造の二次元的情報がv1～v9として得られる。

【0126】 [フラットバンド電圧シフト抑制モード]  
その後、シフトレジスタSR3のRF2はLoになり、COがHiとなる。又、シフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンし導通し、全光電変換素子S11～S33のD電極はGND電位になる（積分検出器Amplの入力端子はGND電位に設計されているため）。よって、全光電変換素子S11～S33のG電極は正の電位(Vc)になり、全光電変換素子S11～S33はフラットバンド電圧シフト抑制モードになる。

【0127】 静止画像を得る場合はここまで動作であるが動画像を得る場合はここまで動作を繰り返す。一般に動画像を得る場合は静止画像を得る場合と比較して照射されるX線の強度は弱いが、照射時間は長い場合が多い。その為、信号光量が多くなり、大きなダイナミックレンジが必要となる。また、一般に動画像を得る場合は、おおまかな位置決めをする場合が多く、多少のノイズ等は無視できる場合が多い。よって動画像を得る場合はダイナミックレンジが大きいV<sub>re</sub> ≥ V<sub>d</sub> - V<sub>FB</sub>の条件即ちV<sub>g2</sub> > 0を選択する方がよい。

【0128】 図1と同様に、図3において光電変換素子100のG電極のリフレッシュ電源V<sub>g2</sub>を正の値に設定しているが、上記で説明したように突入電流を小さくする目的でリフレッシュ電源V<sub>g2</sub>を負の値で用いることが可能であることはいうまでもない。

【0129】 また、ここでは電源Vcを比較的大きな電圧を印加できる電源にすることにより、フラットバンド電圧の移動を抑制する時間即ち、SWcをオンする時間を比較的短くすることを可能とし、総合的な光電変換装置の駆動時間を短くすることが可能となる。

【0130】 本実施例の光電変換装置は、光電変換モードとリフレッシュモードとフラットバンド電圧シフト抑制モードを、順番に切り替えて駆動することが可能となり、上記で説明したフラットバンド電圧のシフトを小さくすることが可能となる。この為センサのダイナミックレンジが小さくなることを防ぐことができ、高いSN比を保ち、安定した特性を得ることが可能となる。

【0131】 本実施例では、光電変換素子のG電極が共通に接続され、この共通の配線をスイッチSW<sub>g2</sub>とスイッチSW<sub>s2</sub>とスイッチSW<sub>c</sub>を介してリフレッシュ用電源V<sub>g2</sub>読み出し用電源Vs<sub>2</sub>及びフラットバンド電圧シフ

ト抑制用電源Vcに接続しているため、全光電変換素子を同時にリフレッシュモードと光電変換モード及びフラットバンド電圧シフト抑制モードに切り換えることができる。このため複雑な制御なくして1画素あたり1個のTFTで光出力を得ることができる。

【0132】 又、本実施例では9個の画素を3×3に二次元配置し3画素ずつ同時に、3回に分割して転送・出力したがこれに限らず、例えば縦横1mmあたり5×5個の画素を2000×2000個の画素として二次元的に配置すれば40cm×40cmのX線検出器が得られる。これをX線フィルムの代わりにX線発生器と組み合わせてX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0133】 [実施例2]

図6、図7に、本発明の実施例2を示す2000×2000個の画素を持つ検出器の実装を示す概念図を示す。ここで示す2000×2000個の画素を持つ検出器の実装を示す概念図の中には、図1～図5で説明した光電変換装置が搭載されていることは言うまでもない。

【0134】 2000×2000個の検出器を構成する場合、図1で示した破線内の素子を縦・横に数を増せば良いが、この場合制御配線もg1～g2000と2000本になり信号配線SIGもsig1～sig2000と2000本になる。またシフトレジスタSR1や検出用集積回路ICも2000本の制御・処理をしなければならず大規模となる。これをそれぞれ1チップの素子で行うことは1チップが非常に大きくなり、製造時の歩留りや価格等で不利である。そこで、シフトレジスタSR1は例えば100段ごと1個のチップに形成し、20個(SR1-1～SR1-20)を使用すればよい。また検出用集積回路も100個の処理回路ごと1個のチップに形成し、20個(IC1～IC20)を使用する。

【0135】 図6には左側(L)に20チップ(SR1-1～SR1-20)と下側(D)に20チップ実装し、1チップあたり100本の制御配線、信号配線をおのおのワイヤーボンディングでチップと接続している。図6中破線部は図3の破線部に相当する。また外部への接続は省略している。また、SW<sub>g</sub>、SW<sub>s</sub>、SW<sub>c</sub>、V<sub>g</sub>、V<sub>s</sub>、V<sub>c</sub>、RF、RE、CO等も省略している。集積回路IC1～IC20からは20本の出力(V<sub>out</sub>)があるが、これらはスイッチ等を介して1本にまとめたり、20本をそのまま出力し並列処理すればよい。

【0136】あるいは図7に示すように左側(L)に10チップ(SR1-1~SR1-10)、右側(R)に10チップ(SR1-11~SR1-20)と上側に10チップ(IC1-10)、下側(D)に10チップ(IC11-20)を実装してもよい。この構成は上・下・左・右側(U・D・L・R)にそれぞれ各配線を1000本ずつに振り分けているため、各辺の配線の密度が小さくなり、また各辺のワイヤーボンディングの密度も小さく、歩留りが向上する。配線の振り分けは左側(L)にg1, g3, g5, … g1999、右側(R)にg2, g4, g6, … g2000とし、つまり奇数番目の制御線を左側(L)、偶数番目の制御線を右側(R)に振り分ける。こうすると各配線は等間隔に引き出され配線されるので密度の集中なく一層歩留りが向上する。また、上側(U)・下側(D)への配線も同様に振り分けなければならない。

【0137】また、図示していないが別の実施例として配線の振り分けは左側(L)にg1~g100, g201~g300, … g1801~g1900、右側(R)にg101~g200, g301~g400, … g1901~g2000を振り分け、つまり、1チップごとに連続な制御線を振り分け、これを左・右側(L・R)交互に振り分ける。こうすると、1チップ内に連続に制御でき、駆動タイミングが楽で回路を複雑にしなくてよく安価なものが使用できる。上側(U)、下側(D)についても同様で、連続な処理が可能で安価な回路が使用できる。

【0138】また、図6、図7に示される例は、共に1枚の基板上に破線部の回路を形成した後、その基板上にチップを実装してもよいし、別の大基板上に破線部の回路基板とチップを実装してもよい。また、チップをフレキシブル基板上に実装して破線部の回路基板に貼り付け接線してもよい。

【0139】またこのような非常に多くの画素をもつ大面積の光電変換装置は従来の光センサを用いた複雑な工程では不可能であったが、本発明の光電変換装置の工程は各画素を共通な膜で同時に形成しているため工程数が少なく、簡易的な工程で済むため高歩留まりが可能で低コストで大面積・高性能の光電変換装置の生産を可能としている。また、コンデンサと光電変換素子と同じ素子内で構成でき、実質上素子を半減することが可能でさらに歩留まりを向上できる。

#### 【0140】【実施例3】

図8は、本発明の実施例3を示す光電変換装置を用いたシステム全体を表す模式的ブロック図である。ここで示す光電変換装置を用いたシステム全体を表す模式的ブロック図の中には、図1~図5で説明した光電変換装置が搭載されていることは言うまでもない。

【0141】図8において、6001はa-Siセンサ基板であるこの図では複数のシフトレジスタSR1を直

列に、また検出用集積回路ICも複数で駆動している。検出用集積回路ICの出力は処理回路6008内のアナログデジタル変換器6002に入力されデジタル化される。この出力は固定パターン補正用の引き算器6003を介してメモリ6004に記憶される。メモリの中の情報はコントローラ6005により制御されバッファ6006を介し信号処理手段としてのイメージプロセッサに転送され、そこで画像処理される。

【0142】図9(a)、図9(b)は本発明をX線検出用の光電変換装置に適用した場合の模式的構成図及び模式的断面図である。

【0143】図9において、光電変換素子とTFTは、a-Siセンサ基板6011内に複数個形成され、シフトレジスタSR1と検出用集積回路ICが実装されたフレキシブル回路基板6010が接続されている。フレキシブル回路基板6010の逆側は回路基板PCB1、PCB2に接続されている。前記a-Siセンサ基板6011の複数枚が基台6012の上に接着され大型の光電変換装置を構成する基台6012の下には処理回路6018内のメモリ6014をX線から保護するため鉛板6013が実装されている。a-Siセンサ基板6011上にはX線を可視光に変換するための蛍光体6030たとえばCsIが、塗布または貼り付けられている。前述の図2で説明したX線検出方法と同じ原理に基き、X線を検出することができる。本実施例では図9(b)に示されるように全体をカーボンファイバー製のケース6020に収納している。

【0144】図10は、本発明の光電変換装置のX線診断システムへの応用例を示したものである。

【0145】図10において、X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、蛍光体を上部に実装した光電変換装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応して蛍光体は発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換されイメージプロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0146】また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクタールームなどディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

#### 【0147】【実施例4】

図25は、第4の実施例に係る光電変換装置の駆動方法を説明するための1ビットの等価回路図である。図25において図15と同じ番号で示される部分は同じものを示す。

【0148】図15と異なる点は、まず第一に光電変換素子100のフラットバンド電圧( $V_{FB}$ )の測定をするための電圧 $V_d$ 。可変電源2114が電源114の代わりに追加されており、光電変換素子100を、 $V_d$ がプラス側の全容量が相対的に小さい状態(デプレッション状態)と全容量が相対的に大きい状態(アキュムレーション状態)に変化させる作用を行う。

【0149】第二には、光電変換素子100のG側の電位をGNDではなくプラス側の電位 $V_{RES}$ にリセットするための電源2115が配置されている点である。光電変換素子100のG側の電位をGNDではなくプラス側の電位 $V_{RES}$ にリセットし、このリセットによる光電変換素子100に蓄積された電荷をTFT1300を用いてコンデンサ1124に転送することによりコンデンサ1124のTFT1300側の電位 $V_o'$ は常にプラスの電位となる。

【0150】また図15においては光電変換素子100に光信号が入射する事が前提であり、光電変換素子100の光電流 $I_s$ が生成されていたが、本実施例の光電変換素子100の駆動方法は暗状態にしてあり光入射量はゼロにしてある。

【0151】次に本実施例の動作を図25、図26、図16を用いて説明する。

【0152】基本的な動作は上記で述べたように、図16と同じであるが、暗状態にしてあるため光電流 $I_s$ は常にゼロである。PbのHi信号により、TFT1300がonした直後の $V_o$ 及び $V_o'$ は、図25における可変電圧 $V_d$ の大きさにより、光電変換素子100の容量値が変化し、それに伴い光電変換素子100のG側に蓄積される(TFT1400により $V_{RES}$ へ)電荷量が異なるため $V_o$ 及び $V_o'$ は可変電圧 $V_d$ に依存を示す。

【0153】図26においてその様子を示す。図26の $V_o$ - $V_d$ 特性図において光電変換素子100の容量値がアキュムレーション状態2021からデプレッション状態2023へ変化していく部分2022即ち $V_o'$ が高い状態から低い状態へ変化していく部分2022の、直線部分の延長線2024とアキュムレーション状態を示す直線部分の延長線2025の交点をフラットバンド電圧 $V_{FB}$ とする。

【0154】また上記で説明したように、本発明の図11に示す光電変換装置における光電変換素子はフラットバンド電圧 $V_{FB}$ が結果的に負の電圧方向に移動し、図26における2026の点線のように特性が変化するので、その結果、光電変換素子のダイナミックレンジを小さくしてしまう。そうなると、光電変換装置としてのSN比は小さくなり、安定した特性が得られなくなってしまう。

【0.155】本発明のような駆動方法を用いることにより、光電変換素子100の擬似的なC-V特性を得ること

が可能になり、その結果フラットバンド電圧 $V_{FB}$ を得ることができフラットバンド電圧 $V_{FB}$ の移動量が確認できた場合は、そのフラットバンド電圧 $V_{FB}$ の移動量をゼロにする駆動方法を用いることが可能になる。

【0156】この為、光電変換素子100のダイナミックレンジが小さくなることを防ぐことができ、高いSN比を保ち、安定した特性を得ることが可能となる。

【0157】[実施例5]

図27は、本発明の光電変換装置の第5の実施例を示す全体回路図である。

【0158】図27において、S11-S33は光電変換素子で下部電極側をG、上部電極側をDで示している。C11-C33は蓄積用コンデンサ、T11-T33は転送用TFTである。 $V_g$ はリフレッシュ用電源、 $V_s$ はフラットバンド電圧を観測するための可変電圧電源であり、全光電変換素子S11-S33のG電極の電位をリセットするものであり、実施例4の中で説明した $V_d$ と同じ働きをする。

【0159】また、各電源は、各々スイッチSWs、スイッチSWgを介して全光電変換素子S11-S33のG電極に接続されている。ここで、スイッチSWs、スイッチSWgは直接にタイミングパルスRFに接続されており、スイッチSWs、スイッチSWgは同時にオンしないように制御されている。又、各スイッチのオン時間は任意の設定が可能である。

【0160】1画素は1個の光電変換素子とコンデンサ、およびTFTで構成され、その信号出力は信号配線SIGにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計9個の画素を3つのブロックに分け1ブロックあたり3画素の出力を同時に転送し、この信号配線SIGを通して検出用集積回路ICによって順次出力に変換され出力される( $V_{out}$ )。また1ブロック内の3画素を横方向に配置し、3ブロックを順に縦に配置することにより各画素を二次元的に配置している。

【0161】図中破線で囲んだ部分は、大面積の同一絶縁基板上に形成されている。図2は、このような光電変換素子の平面図(a)及び断面図(b)である。

【0162】図2において、S11は光電変換素子、T11はTFT、C11はコンデンサ、およびSIGは信号配線である。本実施例においてはコンデンサC11と光電変換素子S11とは特別に素子を分離しておらず、光電変換素子S11の電極の面積を大きくすることによりコンデンサC11を形成している。これは本実施例の光電変換素子とコンデンサが同じ層構成であるから可能のことである。また、画素上部にはバッシベーション用窒化シリコン膜SiNとヨウ化セシウム等の蛍光体CsIを形成する事も考えられ、上方よりX線(X-ray)が入射すると蛍光体CsIより光(破線矢印)に変換され、この光が光電変換素子に入射されることも可能

となる。

【0163】次に、図27、図28、図29を用いて本実施例の光電変換装置の動作について説明する。

【0164】図28は、本実施例の動作を示すタイミングチャートである。

【0165】はじめにシフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にHiが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンし導通し、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側はV<sub>RES</sub>電位になる。これは前記実施例第一に示したように、光電変換素子100のG側の電位をGNDではなくプラス側の電位V<sub>RES</sub>にリセットし、このリセットによる光電変換素子100に蓄積された電荷を転送用TFTで転送することと同じであり、転送用TFT・T11～T33を用いてAmp側に転送することにより積分検出器Amp側の電位V<sub>out</sub>は常にプラスの電位となる。図27に示すg1～g3及びs1～s3の信号とand素子及び積分検出器Amp側の電位V<sub>out</sub>をリセットするスイッチとリセット用電源V<sub>RES</sub>は以上説明した動作を行うための素子である。

【0166】同時にタイミングパルスRFにHiを出力してスイッチSW<sub>0</sub>がオンし全光電変換素子S11～S33のG電極はリフレッシュ用電源電位V<sub>0</sub>になる。その後全光電変換素子S11～S33はリフレッシュモードになりリフレッシュされる。

【0167】また図15においては、光電変換素子100に光信号が入射する事が前提であり、光電変換素子100の光電流I<sub>s</sub>が生成されていたが、本実施例の全光電変換素子S11～S33の状態は、実施例4で示した光電変換素子100と同様に暗状態にしてあり光入射量はゼロにしてある。

【0168】図28においてg1～g3の信号がLoになり、s1～s3の信号がHiの状態になると積分検出器Ampの入力端子はGND電位に設計されているためV<sub>out</sub>はGNDになる。すると全光電変換素子S11～S33は光電変換モードになり同時にコンデンサC11～C33は初期化される。次にシフトレジスタSR1およびSR2により制御配線g1～g3、s1～s3にLoが印加される。すると転送用TFT・T11～T33のスイッチM1～M3がオフし全光電変換素子S11～S33のD電極はDC的にはオープンになるがコンデンサC11～C33によって電位は保持される。

【0169】つぎにシフトレジスタSR1により制御配線g1にHiの制御パルスが印加され、シフトレジスタSR2の制御配線s1～s3への制御パルス印加によって転送用TFT・T11～T33、スイッチM1～M3を通してv1～v3が順次出力される。これにより全光電変換素子S11～S33の容量値に相当する二次元的情報がv1～v9として得られる。

【0170】ここで、上記で説明した実施例4の図26の模擬的なC-V特性の説明をする。

【0171】図29は、模擬的なC-V特性を説明するための図であり、図27における可変電圧Vs電源を、図29のA、B、Cのように変化させることにより全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する、その様子を示すのが図28のV<sub>out</sub>A、B、Cである。

【0172】これを見ると、可変電圧Vs電源を変化させることにより、全光電変換素子S11～S33の容量値は変化し、その変化に伴い、全光電変換素子S11～S33のD電極及びコンデンサC11～C33のD電極側に蓄積された電荷が変化する様子が判り、結果的に模擬的なC-V特性即ちフラットバンド電圧を得ることができることが確認できる。

【0173】又、本実施例では9個の画素を3×3に二次元配置し3画素ずつ同時に、3回に分割して転送・出力したがこれに限らず、例えば縦横1mmあたり5×5個の画素を2000×2000個の画素として二次元的に配置し、その上にX線を可視光に変換する蛍光板を配置すれば40cm×40cmのX線検出器が得られる。これをX線フィルムの代わりにX線発生器と組み合わせてX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0174】

【発明の効果】以上説明したように、本発明の光電変換装置によれば、光電変換素子のフラットバンド電圧の移動を測定するために、光電変換モードでの光電変換素子の各層に印加する電界を変化させ、半導体層に蓄積される第一の型のキャリアもしくは第二の電極層に導かれた第二の型のキャリアを検出することにより、光電変換素子のフラットバンド電圧に相当する電圧値を得、その結果を用いて、フラットバンド電圧を元に戻すことにより、結果的にダイナミックレンジを小さくしないこと、即ちSN比が高く、特性が安定していることを可能にする。

【0175】また、本発明によれば、光電変換モードとリフレッシュモードとフラットバンド電圧シフト抑制モードを順番に切り替えて駆動することが可能となり、フラットバンド電圧のシフトを小さくすることが可能となる。この為センサのダイナミックレンジが小さくなるこ

とを防ぐことができ、高いS/N比を保ち、安定した特性を得ることが可能となる。

【0176】さらに、本発明によれば、S/N比が高く、特性が安定している光電変換装置、その駆動方法及びそれを有するシステムを提供することができる。

【0177】また上記のような優れた特性を有する光電変換装置を利用することにより、より低成本で大面積・高機能・高特性のファクシミリやX線レントゲン装置を提供できる。

【0178】加えて本発明は、TFTと同一プロセスで形成する事が可能で、生産プロセスの複雑化を生じること無く、低成本で作製可能な光電変換装置、及びその駆動方法及びそれを有するシステムを提供することを可能にする。

#### 【図面の簡単な説明】

【図1】本発明の実施例1の光電変換装置を説明するための概略的回路図である。

【図2】本発明の光電変換装置の一例を説明する為の模式的平面図(a)、及び模式的断面図(b)である。

【図3】本発明の光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図4】本発明の光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図5】本発明の光電変換装置の動作の一例を説明するための擬似的な光電変換素子のC-V特性である。

【図6】本発明の光電変換装置の実装例2を説明するための模式的配置構成図である。

【図7】本発明の光電変換装置の実装例2を説明するための模式的配置構成図である。

【図8】本発明の光電変換装置を有するシステムの実施例3の一例を説明するためのシステム構成図である。

【図9】X線検出装置に適用した場合の実施例3の一例を説明する模式的構成図(a)、模式的断面図(b)である。

【図10】本発明の光電変換装置を有するシステムの実施例3の一例を説明するためのシステム構成図である。

【図11】我々が以前提案した光電変換部の構成例を説明する模式的断面図(a)、及び概略的回路図(b)である。

【図12】光電変換部のエネルギー状態を説明するためのエネルギーバンド図である。

【図13】我々が以前提案した光電変換部の動作の一例を説明するためのタイミングチャートである。

【図14】検出部の構成例を説明するための概略的回路図である。

【図15】本発明の光電変換装置を説明するための概略的回路図である。

【図16】光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図17】光電変換部のエネルギー状態を説明するためのエネルギーバンド図である。

【図18】光電変換部のエネルギー状態を説明するためのエネルギーバンド図である。

【図19】光電変換装置を説明するための概略的回路図である。

【図20】光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図21】光電変換部のエネルギー状態を説明するためのエネルギーバンド図である。

【図22】光センサの構成の一例を説明する模式的断面図である。

【図23】TFTの層構成図である。

【図24】ゲート絶縁膜厚に対するTFTの歩留まりを示すグラフである。

【図25】本発明の実施例4の光電変換装置の動作を説明するための1ビット等価回路図である。

【図26】本発明の実施例4の光電変換装置の動作を説明するための擬似的なC-V特性図である。

【図27】本発明の実施例5の光電変換装置を説明するための概略的回路図である。

【図28】本発明の実施例5の光電変換装置の動作の一例を説明するためのタイミングチャートである。

【図29】本発明の実施例5光電変換装置の動作を説明するための擬似的なC-V特性図である。

#### 【符号の説明】

S11～S33 光電変換素子、

C11～C33 薄膜用コンデンサ、

T11～T33 転送用TFT、

V<sub>g1</sub> リフレッシュ用電源、

V<sub>s1</sub> フラットバンド電圧を観測するための可変電圧電源、

V<sub>s2</sub> 読み出し用電源、

V<sub>g2</sub> リフレッシュ用電源、

V<sub>c</sub> フラットバンド電圧シフト抑制用電源

#### 【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

